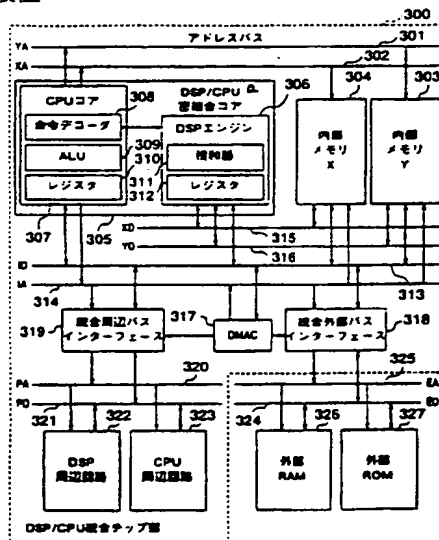




<p>(51) 国際特許分類6 G06F 9/30</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/14093</p> <p>(43) 国際公開日 1997年4月17日(17.04.97)</p>
<p>(21) 国際出願番号 PCT/JP96/02910</p> <p>(22) 国際出願日 1996年10月7日(07.10.96)</p> <p>(30) 優先権データ 特願平7/261177 1995年10月9日(09.10.95) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 中川哲也(NAKAGAWA, Tetsuya)(JP/JP) 〒184 東京都小金井市本町5丁目15-9 Tokyo, (JP) 波多野雄治(HATANO, Yuji)(JP/JP) 〒185 東京都国分寺市光町1丁目1-29 Tokyo, (JP) 堤坂康博(SAGESAKA, Yasuhiro)(JP/JP) 〒187 東京都小平市回田町219 Tokyo, (JP) 馬路 徹(BAJI, Toru)(JP/JP) 〒206 東京都稲城市向陽台4丁目2-C-608 Tokyo, (JP) 野口孝樹(NOGUCHI, Koki)(JP/JP) 〒156 東京都世田谷区上北沢3丁目23-18 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: TERMINAL

(54) 発明の名称 端末装置



a ... closely coupled DSP-CPU core
300 ... integrated DSP/CPU chip section
301 ... address bus
303 ... internal memory Y
304 ... internal memory X
306 ... DSP engine
307 ... CPU core
308 ... instruction decoder
310, 312 ... register
311 ... production-sum calculating device
318 ... integrated external bus interface
319 ... integrated peripheral bus interface
322 ... DSP peripheral circuit
323 ... CPU peripheral circuit
326 ... external RAM
327 ... external ROM

(57) Abstract

For manufacturing a mobile communication terminal, reduction of the cost, power consumption, and size is a very important factor, and it is a major problem for the conventional technique in which two independent sets of DSPs and CPUs are used, because two systems of external memories are required. Further, since two systems of peripheral devices for data input/output are necessary for the DSPs and CPUs, there exists useless overhead between the DSPs and CPUs. A mobile communication terminal system is realized by using an integrated DSP/CPU chip having a DSP/CPU core (500) integrated as a single bus master, an integrated external bus interface (606) and an integrated peripheral circuit interface. Therefore, an inexpensive, low-power consumption, small-sized mobile communication terminal system is provided because the memory systems and peripheral circuits of the DSPs and CPUs are integrated.

明 細 書

端末装置

5 技術分野

本発明は、デジタルセルラ携帯電話を始めとする移動通信システム用の端末装置に係わり、特にプログラマブルなマイクロプロセッサ（以下CPUと呼ぶ。）とデジタルシグナルプロセッサ（以下、DSPと略す。）等のデータ処理装置を用いた移動通信ベースバンドシステム実現方法に関する。

10 背景技術

本発明の関連する移動通信システムにおける処理の概要を図1を用いて説明する。図1にはユーザ102、通信端末101および基地局100が示してある。ユーザ102は通信端末101を用いて基地局100にアクセスして種々のサービスを受けることになる。他の通信端末と通信する場合も基地局100を介して行うので通信端末と基地局間の通信処理が本質となる。

通信端末101はユーザインタフェース機能及び、システム制御機能を有するユーザインタフェース／システム制御部109、通信プロトコル処理機能を有する通信プロトコル処理部110、音声符号化復号化処理機能、通信路符号化復号化処理機能、変復調処理機能等を有する符号復号化処理部111およびアナログフロントエンド（AFE）及び、RF回路を有するAFE／RF回路部105で構成される。なお、通信端末101にはマイクロフォン（MIC）103及びスピーカ（SPK）104が接続されている。基地局100はシステム制御機能を有するシステム制御部112、通信プロトコル処理機能を有する通信プロトコル処理部113、通信路符号化復号化処理機能、変復調機能等を有する符号復号化処理部114およびアナログフロントエンド（AFE）及び、RF回路を有するAFE／RF回路部106で構成される。

通信端末101が基地局100とやり取りする仕方には大きく分けて2つある。一つは音声などユーザのデータをやり取りする場合であり、もう一方はシステム運用上の制御データをやり取りする場合である。

音声データをやり取りする場合は次のようになる。マイクロフォン (MIC) 103から入力された音声データはデジタルデータに変換された後、符号復号化処理部111の音声符号化処理により圧縮される。圧縮された音声データは符号復号化処理部111の通信路符号化処理によって誤り訂正用の情報が付加されて
5 から符号復号化処理部111の変調処理によって変調される。以上の処理はデジタル領域で行われる。変調されたデジタル音声はAFE/RF回路部105のアナログフロントエンド (AFE) でアナログデータに変換され、AFE/RF回路部105のRF回路で高周波の電波に乗せてアンテナ107から発信される。この電波は基地局100の、アンテナ108で受信されてから一端、復調される。
10 そして通信相手に割り当てられている周波数 (周波数分割多重の場合) で再び変調され、通信相手に割り当てられているタイムスロット (時分割多重の場合) のタイミングで通信相手に基地局から再送信される。

次にシステム運用上の制御データをやり取りする場合を説明する。この場合、通信端末101内の通信プロトコル処理部110と基地局100内の通信プロ
15 コル処理部113がやり取りを行う。両者の間には仮想的な論理的接続が形成される。この仮想的な論理的接続は以下のような物理的接続で実現されている。例えば基地局100が通信端末に何か指示を出す場合、次のようになる。あらかじめ決められたプロトコルに従った指示データは符号復号化処理部114で通信路符号化処理及び変調処理を施される。そしてAFE/RF回路部106のアナ
20 グフロントエンド (AFE) でアナログデータに変換され、RF回路で電波に乗せてアンテナ108から発信される。この電波は通信端末101の、アンテナ107で受信されてから、RF回路部105のRF回路とアナログフロントエンド (AFE) を経てベースバンドのデジタルデータに変換される。続いて符号復号化処理部111で復調処理及び通信路復号化処理を施され通信プロトコル処理部
25 110に渡される。

以上、通信端末101が基地局100とやり取りする2つの仕方および関連する処理の概要を説明した。これら関連する処理は2種類に大別できる。音声符号化復号化処理、通信路符号化復号化処理および変復調処理はデジタル信号処理に分類され、専用のハードウェアやプログラマブルなDSP (Digital Signal

Processor)で実現するのに適している。一方、通信プロトコル処理は非常に複雑であり、C言語などの高級言語を用いたソフトウェアで実現するのに向いている。

このような事実を踏まえて、最近、移動通信端末のベースバンド処理のうち、音声符号化復号化処理、通信路符号化復号化処理および変復調処理をDSPで行
5 い、通信プロトコル処理をCPU（汎用のマイクロプロセッサ）で実現する方法が提案されている（日本工業技術センター・セミナ資料「GSM／システム・端末・サービスの最新情報」平成7年5月18日－19日：「GSM電話端末用デバイスの開発動向」、pp. 118－130、日本フィリップス（株））。

図2に上記公知例に基づき発明者が検討した、DSPとCPUを用いて構成し
10 た移動通信端末の例（上記公知例そのものではない）を示す。この移動通信端末はヨーロッパのデジタルセルラ電話の仕様であるGSM (Global System for Mobile communications)用のものである。図2の移動通信端末はDSPチップ223、DSP用のRAM (Random Access Memory) 200、DSP用のROM (Read Only Memory) 201、CPUチップ227、ベースバンド用アナログフ
15 ロントエンド (AFE) 202、高周波変復調器210、パワーアンプ (PA) 212、アンテナ213、デュプレクサ (Duplexer) 214、ローノイズアンプ (LNA) 215、マイクロフォン208、増幅器Amp、スピーカ209、駆動回路Driver、周波数シンセサイザ216、システムタイミング回路219、電圧制御システムクロック221、1/4分周回路222、サウンダ (Sounder)用
20 DA変換器231、サウンダ (Sounder) 230、駆動回路 Driver、電池監視用AD変換器232、電池監視回路233、電池234、CPU用のRAM239、CPU用のROM238、LCD (液晶駆動装置及び液晶パネル) 237、SIM (Subscriber Identity Module) 236、キーボード235で構成されている。ベースバンド用アナログフロントエンド (AFE) 202には、PA (Power
25 Amp)用DA変換器203、I/Q用AD/DA変換器204、AGC (Auto Gain Control) 用DA変換器205、音声用AD/DA変換器206、AFC (Auto Frequency Control) 用DA変換器207が含まれる。DSP用のRAM (200)、DSP用のROM (201) はDSP用の外部バス240を介してDSPチップ223に接続されている。

以下、簡単に本端末の機能と動作を説明する。

- 音声送信時、マイクロフォン 208 から入力された音声は増幅器 Amp で増幅された後、音声用 AD 変換器 206 でサンプリングされてデジタルデータに変換される。サンプリングレートは 8 kHz、ビット精度は 13 bit である。デジタル
- 5 化されたデータは DSP チップ 223 に送られ、圧縮符号化、通信路符号化された後、再びアナログフロントエンド (AFE) 202 の I/Q 用 DA 変換器 204 に渡される。ここでアナログデータに変調、変換されて高周波変復調器 210 に入力される。そして RF 周波数 (〜800 MHz) に乗せられてアンテナ 213 から発信される。Duplexer 214 は入力電波と出力電波を分離するのに使われる。
- 10 高周波変復調で使われる高周波サイン波 217 は周波数シンセサイザ 216 で合成される。周波数シンセサイザ 216 は信号線 218 を介して CPU チップ 227 に接続されている。ROM (201) には DSP チップ 223 で実行されるプログラムが内蔵されており、RAM (200) は DSP チップ 223 のワーク用である。
- 15 音声受信時、アンテナ 213 で受信されたデータはローノイズアンプ (LNA) 215 を介して高周波変復調器 210 に入力される。ここで低周波のベースバンドアナログ信号に変換され、アナログフロントエンド (AFE) 202 の I/Q 用 AD 変換器 204 に渡される。サンプリングされ、デジタルデータに変換されたデータは DSP チップ 223 に送られて通信路復号化、圧縮復号化される。そ
- 20 の後、音声用 DA 変換器 206 でアナログデータに変換され、スピーカ 209 から出力される。

- ユーザが電話をかける時、キーボード 235 と LCD (237) を用いる。SIM 236 は着脱できるユーザ ID モジュールであり、これを通信端末に装着することによって端末をそのユーザ専用のものにできる。ROM (238) には
- 25 CPU チップ 227 で実行されるプログラムが内蔵されており、RAM (239) は CPU チップ 227 のワーク用である。電池 234 は本端末全体のメインバッテリーであり、電池監視回路 233、電池監視用 AD 変換器 232 を通して、CPU チップ 227 がその残量をモニタする。電話がかかってきた時、CPU チップ 227 は Sounder 用 DA 変換器 231 を介して Sounder 230 を鳴らす。

本端末の基本クロック 13 MHz は電圧制御システムクロック 221 から供給される。この基本クロックからシステムタイミング回路 219 は必要なシステムタイミング信号 241、220、を生成して端末内に分配する。基本クロックはまた DSP チップ 223 と CPU チップ 227 にも供給されている。GSM における DSP の処理では 20 ~ 50 MIPS (Mega Instructions Per Second) 必要とされている。図 2 では DSP チップ内に搭載された PLL (Phase Locked Loop) 回路 225 を使って DSP チップが基本クロック 13 MHz の 4 倍の 52 MHz で動作している。一方、GSM における CPU 処理は 1 ~ 2 MIPS とされている。そこで図 2 では 1/4 分周回路 222 で基本クロック 13 MHz の 4 分の 1 の 3.25 MHz を生成し、このレートで CPU を動かしている。

端末の基本クロック 13 MHz は基地局のマスタークロック 13 MHz と厳密に周波数を合わせる必要がある。これは次のようにして達成される。まず、基地局から厳密な周波数情報を受け取る。そして DSP チップ 223 はこの情報に基づき、AFC (Auto Frequency Control) 用 DA 変換器 207 を介して電圧制御システムクロック 221 を制御して周波数を調整する。また、基地局から端末の電波出力の指示がくる場合もある。この時は DSP チップ 223 が PA (Power Amp) 用 DA 変換器 203 を駆動してパワーアンプ (PA) 212 の出力を調整する。さらに DSP チップ 223 は受信信号の振幅情報に基づき、AGC (Auto Gain Control) 用 DA 変換器 205 を介して高周波変復調器内のゲインを調整する。

DSP チップ 223 と CPU チップ 227 間の通信は以下のように行われる。DSP チップ 223 は DSP 用ホストインタフェース (HIF (Host InterFace)) 224 を介して CPU チップの CPU 外部バス 229 に接続されている。CPU チップ 227 は CPU 外部バスインタフェース 228 及び CPU 外部バス 229 を介してこの DSP 用ホストインタフェース (HIF) 224 から DSP チップ 223 の内部リソースを自由に読み書きできる。DSP チップ 223 が CPU チップ 227 に連絡したい時は INT (INTerrupt) 226 信号を用いる。

しかしながら、上記に述べたような 2 つの独立した DSP と CPU を用いた従来技術では、DSP 用と CPU 用に 2 系統のメモリシステムが必要であった。上記公知例においては DSP 用のメモリは全てオンチップ化されている。しかし、

- これはGSMシステムが導入されたばかりであり、必要なDSP用メモリの容量が今のところ少ないためである。今後、加入者数増加に応じてハーフレートの音声符号化技術が本格採用された場合、端末はフルレートとハーフレートの両者に対応する必要がある。この時、両方の音声符号化プログラムをDSPに実装する
- 5 必要がある。さらにGSMシステムにおいては現状のフルレートの音質が悪いため、エンハストフルレート音声符号化が検討されている。これが現実化すれば3つの音声符号化プログラムを実装しなければならない。また、音声ダイヤル用音声認識プログラムなどの付加価値のためのDSPプログラムも通信端末の差別化技術として実装される可能性が大きい。このように今後増加すると予想されるD
- 10 SPプログラムを全てオンチップ化するのはコスト的にも現実的でない。

よって将来的にはDSP用の外付けメモリは不可避と考えられる。しかしながら、移動通信端末においては低コスト化、低消費電力化、小サイズ化の3つが非常に重要であるため、2系統の外付けメモリを使用することは大きな問題となる。

- また、データ入出力用の周辺装置もDSP用とCPU用に2系統が必要であった。このため、DSPとCPU間の余分な通信オーバーヘッドが存在していた。
- 15

本発明の目的は、上記のような問題点に鑑み、DSPとCPUのメモリシステムと周辺回路を統合化して低コスト、低消費電力、小サイズの移動通信端末システムを実現する方法を提案することにある。

- 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面
- 20 から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

- すなわち、一つのバスマスターとして統合されたDSP/CPUコア、統合された外部バスインタフェースおよび統合された周辺回路インタフェースを持った
- 25 DSP/CPU統合チップで移動通信端末システムを実現する。

また、DSPの外部メモリアクセスの高速化のため、移動通信端末の処理に応じた内部メモリ、外部メモリのプログラム、データ配置を行う。

さらにDSPの周辺回路アクセスの高速化のため、複数サンプルを並列に転送

する機能を用いる。

- 前記移動通信端末に用いるマイクロプロセッサのプログラム生成においては、上記DSP機能の実現するデジタル・シグナル・プロセッサのアドレスレジスタが上記CPU機能を実現するセントラル・プロセッシング・ユニットのレジスタ
- 5 のサブセットにマッピングさせ、上記セントラル・プロセッシング・ユニットのレジスタのサブセットに引き数を渡す。

- また、基地局とデータをやり取りして無線通信を行う移動通信端末は、メモリに格納されたプログラムを実行するデータ処理装置と、音声符号化処理を行うためのプログラムを格納する領域と、音声複合化処理を行うためのプログラムを格納する領域と、通信路符号化処理を行うためのプログラムを格納する領域と、通信路複合化処理を行うためのプログラムを格納する領域と、基地局との通信用プロトコル制御を行うためのプログラムを格納する領域と、使用者とのインタフェース制御を行うためのプログラムを格納する領域とを有するメモリとを具備し、前記メモリの各領域を前記データ処理装置のアドレス空間に配置する。
- 10

- 15 前記データ処理装置は、音声符号化処理と音声複合化処理と通信路符号化処理と通信路複合化処理とを実行するデジタル・シグナル・プロセッサと、基地局との通信用プロトコル制御と使用者とのインタフェース制御とを実行するセントラル・プロセッシング・ユニットとを備え、1つの半導体基板上に形成するのが望ましい。

- 20 前記デジタル・シグナル・プロセッサの処理を高速にするため、前記音声符号化処理を行うためのプログラムを格納する領域と、音声複合化処理を行うためのプログラムを格納する領域と、通信路符号化処理を行うためのプログラムを格納する領域と、通信路複合化処理を行うためのプログラムを格納する領域とを前記データ処理装置に内蔵されるメモリに格納するとよい。

- 25 高速処理を要求されないプログラムについては、すなわち基地局との通信用プロトコル制御を行うためのプログラムを格納する領域と、使用者とのインタフェース制御を行うためのプログラムを格納する領域とを前記データ処理装置に外付けされるメモリに格納するとよい。

前記データ処理装置は、さらにアナログ・デジタル変換回路及びデジタル・ア

ナログ変換回路とインタフェースするシリアル入出力回路を上記セントラル・プロセッシング・ユニットのアドレス空間内に備える。

図面の簡単な説明

- 第1図は、移動通信システムの基本構成図。
- 5 第2図は、DSPとCPUを用いたGSM移動通信端末の構成図。
- 第3図は、密結合されたDSP/CPU統合チップの構成図。
- 第4図は、DSPとCPUを単純に1つのチップにまとめた構成図。
- 第5図は、本発明の第1の実施例のGSM移動通信端末の構成図。
- 第6図は、本発明の第1の実施例における内部/外部メモリ接続構成図。
- 10 第7図は、本発明の第2の実施例のキャッシュをのせたDSP/CPU統合チップ構成図。
- 第8図は、本発明の第3の実施例の移動通信端末応用におけるメモリ割付の基本形を示す図。
- 第9図は、本発明の第3の実施例の移動通信端末応用におけるメモリ割付の拡張形を示す図。
- 15 第10A図、10B図は、本発明の第4の実施例のバーストROMを直結した場合のDSP/CPU統合チップとの接続図及びタイムチャート。
- 第11図は、DSP/CPU統合チップのメモリマップの一例を示す図。
- 第12A図、12B図、12C図は、本発明の第5の実施例のDRAMを直結した場合のDSP/CPU統合チップとの接続図及びタイムチャート。
- 20 第13A図及び13B図は、本発明の第6の実施例におけるDSP/CPU統合チップとI/Q信号用AD/DA変換器との接続図及びタイムチャート。
- 第14図は、本発明の第6の実施例のシリアル入出力回路の構成図。
- 第15A図、15B図は、本発明の第7の実施例におけるDSP/CPU統合チップとI/Q信号用AD/DA変換器との接続図及びタイムチャート。
- 25 第16図は、本発明の第7の実施例のシリアル入出力回路の構成図。
- 第17A図、17B図は、本発明の第8の実施例におけるDSP/CPU統合チップとパワーアンプ制御用DA変換器との接続図及びタイムチャート。
- 第18図は、DSPとCPUを用いた従来のGSM移動通信端末におけるオー

バーヘッドを示す図。

第19図は、GSM移動通信システムにおけるパワーアンプ制御のタイミングと出力波形を示す図。

第20A図、20B図は、本発明の第8の実施例のパワーアンプ制御における
5 オーバーヘッドを示す図。

第21図は、本発明の第9の実施例の統合ASICバスインタフェースを備えたDSP/CPU統合チップ構成図。

第22図は、DSP/CPU統合チップ内のCPUの構成を示す図。

第23図は、本発明の第10の実施例を説明するCプログラムの例を示す図。

10 第24図は、本発明の第10の実施例を説明するアセンブラプログラムと関連するハードウェアを示す図。

発明を実施するための最良の形態

[DSP/CPU統合チップ]

本発明がベースとしている密結合されたDSP/CPU統合チップについて説
15 明する。なお、詳細については、発明者等による先の出願、特願平7-1329
06号に記載されている。この密結合されたDSP/CPU統合チップの例を図
3に示す。同図に示される点線で囲まれたDSP/CPU統合チップ300は半
導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板上に形
成される。図3には点線で囲まれたDSP/CPU統合チップ300、外部
20 RAM (Random Access Memory) 326、外部ROM (Read Only Memory) 32
7、外部アドレスバス(EA) 325及び外部データバス(ED) 324が示さ
れている。

DSP/CPU統合チップ300はDSP/CPU密結合統合コア305、内
部メモリX304、内部メモリY303、統合バスインタフェース418、
25 DMAC (Direct Memory Access Controller) 317、統合周辺バスインタフェ
ース319、DSP周辺回路322およびCPU周辺回路323で構成される。
これら構成要素は3種類の内部メモリ用アドレスバス(Xアドレスバス(XA)
302、Yアドレスバス(YA) 301、Iアドレスバス(IA) 314)、3
種類の内部メモリ用データバス(Xデータバス(XD) 315、Yデータバス

(YD) 316、I データバス (ID) 313)、統合周辺アドレスバス (PA) 320、統合周辺データバス (PD) 321を介して接続されている。

DSP/CPU密結合統合コア305はCPUコア307とDSPエンジン306からなる。CPUコア307では命令デコーダ308、ALU (算術論理演算器) 309およびレジスタ310が主たる構成要素である。DSPエンジン306には命令デコーダはなく、積和器311を始めとする演算器とレジスタ312が主な構成要素となる。

CPUコア307は内部メモリX304、内部メモリY303または外部RAM326、外部ROM327の何れかから命令を読み出し、命令デコーダ308で解読して実行する。DSPエンジン306はCPUコア307からの指示に従って動作する。すなわち、DSPの命令を実行する時、CPUコア307とDSPエンジン306は連携して並列して作動する。

ただし、ここでDSPと呼んでいるのは、デジタル信号処理の基本演算であるFIRフィルタ (Finite Response Filter) を1サイクル/タップで実行できる能力をいう。一般にはこのためには以下の4つの条件を同時に満たす必要がある。すなわち、(1) 積和演算が1サイクルで実行でき、(2) 2データを同時に1サイクルでメモリからアクセスでき、(3) オーバーヘッドなしの繰り返し命令をサポートし、(4) モジュロアドレッシングモードをサポートしている必要がある。このDSP機能の詳細は公知の情報として、例えば Motorola Inc. 1990年発行「DSP56116 Digital Signal Processor User's Manual」に開陳されている。上述の4つの条件から、単純な積和器やFPU (Floating Point Unit) はここでいうDSPエンジンとは言えない。

また、ここでCPUと呼んでいるのは、C言語などの高級言語で記述されたプログラムを効率良くコンパイル、実行できるアーキテクチャの標準的マイクロプロセッサのことである。例えば、(株) 日立製作所平成6年3月発行第3版「日立シングルチップRISCマイコン SH7032, SH7034ハードウェアマニュアル」にその詳細が開陳されている。

以上、述べてきたように図3のDSP/CPU密結合統合コア305はC言語などの高級言語で記述されたプログラムを効率良くコンパイル、実行できる標準

的CPU機能を持ち、かつFIRフィルタを1サイクル/タップで実行できるDSP機能を持ち、かつ単一の命令流で制御されるところが特徴である。また、このDSP/CPU密結合統合コア305は命令デコーダおよび制御系を1系統しか持たないため、バスマスタとして見た時、1つに統合化されている。すなわち、

5 バスにぶら下がる周辺回路およびメモリはDSP機能とCPU機能によって共有、統合化されている。また、DSP機能を実行するプログラムとCPU機能を実行するプログラムとの両方がCPUコア307のアドレス空間に配置されている。

図3には統合周辺バスインタフェース319を介してDSP周辺回路322とCPU周辺回路323が統合されている様子を示してある。DSP周辺回路322

10 の例としてはシリアル入出力回路等がある。CPU周辺回路323の例としてはパラレル入出力回路、シリアル入出力回路、タイマ、AD変換回路等がある。DSP周辺回路322とCPU周辺回路323が統合されている、すなわち共通のアドレス空間にあるので、DSP機能とCPU機能の両方でDSP周辺回路322とCPU周辺回路323を使用することができる。また、図3には統合外部バス

15 インタフェースを介して外部RAM326、外部ROM327がDSP機能とCPU機能によって共有される様子も示してある。

[独立したDSPとCPUチップ]

次に比較のため、従来の2つの独立したDSPとCPUを用いた場合の例を図4に示す。図4は従来技術に記載の公知例に基づいて発明者が作成したものであり、公知例そのものではない。図4は点線で囲まれたDSPチップ400、点線で

20 囲まれたCPUチップ413、CPU外部RAM430およびCPU外部ROM431からなる。DSPチップとCPUチップを単純に1つのチップにまとめた場合、点線で囲まれた2つの領域が1つの集積回路となるわけである。

CPUチップ413はCPUコア414、内部メモリ418、CPU周辺バス

25 インタフェース421、CPU外部バスインタフェース422、DMAC423、CPU周辺回路426、427で構成される。

これら構成要素は内部アドレスバス(IA)419、内部データバス(ID)420、CPU周辺アドレスバス(PA)424、CPU周辺データバス(PD)425を介して接続されている。CPUコアは命令デコーダ415、ALU41

- 6 およびレジスタ 417 を主たる構成要素とし、内部メモリ 418、CPU 外部 RAM 430 または CPU 外部 ROM 431 の何れかから命令を読み込み、命令デコーダで解読して実行する。CPU 外部バスインタフェース 422 と CPU 外部 RAM 430 及び CPU 外部 ROM 431 とは外部アドレスバス (EA) 428 及び外部データバス (ED) 429 を介して接続される。DSP チップ 400 は DSP コア 403、DSP 内部メモリ X 404、DSP 内部メモリ Y 405、DSP 周辺回路 406、CPU/DSP インタフェース 410、Y アドレスバス (YA) 401、X アドレスバス (XA) 402、X データバス (XD) 411 及び Y データバス (YD) 412 からなる。DSP コア 403 は命令デコーダ 407、積和器 408 を始めとする演算器およびレジスタ 409 からなる。DSP コア 403 は DSP 内部メモリ X 404 または DSP 内部メモリ Y 405 の何れかから DSP 専用命令を読み込み、命令デコーダ 407 で解読して実行する。なお、図 4 には示していないが、DSP に専用外部メモリがある場合、ここから DSP 専用命令を読み込み、命令デコーダ 407 で解読して実行することもある。
- 15 図 4 では、CPU/DSP インタフェース 410 には、内部アドレスバス (IA) 419 と内部データバス (ID) 420 とが接続されているが、CPU チップ 413 と DSP チップ 400 が別チップで構成される場合は CPU/DSP インタフェース 410 は外部アドレスバス (EA) 428 と外部データバス (ED) 429 が接続される。
- 20 このように DSP チップと CPU チップを単純に 1 つのチップにまとめた場合、各々のメモリ空間、周辺回路は全く独立のものとなってしまう、互いにアクセスすることはできない。

- 以上、本発明がベースとしている密結合された DSP/CPU 統合チップの特徴を説明してきた。続いてこの密結合された DSP/CPU 統合チップを用いて
- 25 実現された移動通信端末の特徴を実施例を用いて説明する。

[第 1 の実施例：GSM 端末]

まず本発明の第 1 の実施例を図 5、図 2 および図 6 を用いて説明する。図 5 は密結合された DSP/CPU 統合チップを用いて実現した GSM 端末の例である。図 5 は先に詳しく説明した図 2 と基本的に同じ構成である。図 2 の GSM 端末で

使われていた2つの独立したDSPチップ223とCPUチップ227を1つの密結合されたDSP/CPU統合チップで置き換えたものである。図5はDSP/CPU統合チップ500、統合AFE（アナログフロントエンド）501、電池510、電池監視回路509、サウンダ511、高周波変復調回路513、PA（パワーアンプ）514、アンテナ515、Duplexer516、LNA（ローノイズアンプ）517、マイクロフォン518、スピーカ519、周波数シンセサイザ533、システムタイミング回路520、電圧制御システムクロック523および統合化外部バス526に接続された統合化モジュール527～531から構成されている。

- 10 統合化モジュールはDSP/CPU共用外部RAM527、DSP/CPU共用外部ROM528、LCD529、SIM530およびキーボード531からなる。DSP/CPU統合チップ500は図3のDSP/CPU統合チップ300と同一である。統合AFE（アナログフロントエンド）501には、電池監視用AD変換器502、Sounder 用DA変換器503、PA用DA変換器504、
- 15 IQ用AD/DA変換器505、音声用AD/DA変換器506、AFC用DA変換器507が含まれる。

- 電池510、電池監視回路509、サウンダ511、駆動回路 Driver、高周波変復調回路513、PA（パワーアンプ）514、アンテナ515、Duplexer516、LNA（ローノイズアンプ）517、マイクロフォン518、増幅器
- 20 Amp、駆動回路Dri、スピーカ519、高周波サイン波532、周波数シンセサイザ533、システムタイミング回路520、システムタイミング信号521、541、信号線522、電圧制御システムクロック523、電池監視用AD変換器502、Sounder 用DA変換器503、PA用DA変換器504、IQ用AD/DA変換器505、AGC用DA変換器506、音声用AD/DA変換器
- 25 507、AFC用DA変換器508、LCD529、SIM530およびキーボード531は、それぞれ図2の電池234、電池監視回路233、サウンダ230、駆動回路 Driver、高周波変復調回路210、PA（パワーアンプ）212、アンテナ213、Duplexer214、LNA（ローノイズアンプ）215、マイクロフォン208、増幅器Amp、駆動回路Dri、スピーカ209、周波数シン

セサイザ216、システムタイミング回路219、システムタイミング信号220、241、信号線218、電圧制御システムクロック221、電池監視用AD変換器232、Sounder用DA変換器231、PA用DA変換器203、IQ用AD/DA変換器204、AGC用DA変換器205、音声用AD/DA変換器206、AFC用DA変換器207、LCD237、SIM236およびキーボード235に相当し、機能及び動作は同様である。従って、先に説明した図2の機能及び動作と同様であるので、図5の機能及び動作の説明は省略する。統合外部バス526には、外部RAM527及び外部ROM528が接続されており、CPU機能及びDSP機能の両者がアクセスできるようになっている。

- 10 また、図6にDSP/CPU統合チップと内部メモリと外部メモリの関係の詳細を示す。図6ではDSP/CPU統合チップ600、外部ROM611および外部RAM612が外部アドレスバス609と外部データバス610を介して接続されている。またDSP/CPU統合チップ600の内部でDSP/CPU密結合コア601、内部ROM602、内部RAM603および統合外部バスインタフェース606が内部データバス604と内部アドレスバスを介して接続されている様子が示してある。DSP/CPU密結合コア601は一つのバスマスタとして統合されているため、DSP機能とCPU機能の両者が内部ROM602、内部RAM603、外部ROM611および外部RAM612の何れをも任意にアクセスできることが本構成の大きな特徴となる。この構成のおかげで特に、貴
- 15
- 20 重な内部メモリを無駄なく有効利用することができる。

なお、DSP/CPU統合チップ600は図3のDSP/CPU統合チップ300及び図5のDSP/CPU統合チップ500と同一であるが、説明と関係ないものは省略されている。従って、DSP/CPU密結合コア601はDSP/CPU密結合コア305に、内部バス604は内部メモリ用データバスID313に、内部バス605は内部メモリ用アドレスバス605に、統合外部バスインタフェース606は統合外部バスインタフェース318に相当する。但し、内部ROM602と内部RAM603とは、内部メモリX304及び内部メモリY303のROM部及びRAM部にそれぞれ対応する。

外部アドレスバス609は外部アドレスバス(EA)325に、外部データバ

ス610は外部データバス(ED)324に、外部ROM611は外部ROM327及び外部ROM528に、外部RAM612は外部RAM326及び外部RAM527に相当する。また、外部バス526は、外部アドレスバス609及び外部データバス610の両方を含むものである。

- 5 以上、図5と図6で示したように本発明の第1の実施例では外部RAM/ROMがDSPとCPUで完全に共有化されているため、従来例の図2に存在したDSP専用の外部バス240、外部RAM200および外部ROM201が不要となっている。また、DSPチップ223とCPUチップ227との間の信号HIF224及びINT226が不要となっている。すなわち統合化によって、バス、
- 10 信号線及びメモリチップの個数を減らすことができるので移動通信端末において、低コスト、低消費電力、小サイズが実現できる。

[第2の実施例：キャッシュメモリの内蔵]

- 次に本発明の第2の実施例を図5、図7および図6を用いて説明する。第2の実施例は第1の実施例のDSP/CPU統合チップの内部RAMをキャッシュメモリに置き換え、外部メモリアクセスの高速化を図ったものである。
- 15

- 従来の独立したDSPチップでは直結できる外部メモリはSRAM(Static RAM)やROMに限られていた。DRAMや高速アクセスモードを持ったRAM/ROMは直結できなかった。またアクセスできるデータサイズも16ビットに限られ、バイト(8ビット)アクセスやロングワード(32ビット)アクセスはできなかった。これは移動通信端末で使われるDSPチップでは命令長もデータ長も16ビットに固定されているためである。というのもDSPが適用される音声符号化、通信路符号化および変復調処理では命令長もデータ長も16ビットで充分だからである。アクセスできるデータサイズを16ビットに限定したおかげで外部メモリアクセスの制御が簡単になり、充分高速のメモリを用いれば外部アクセスを1サイクルで実行することもできた。
- 20
- 25

一方、従来の独立したCPUチップの中にはDRAMや高速アクセスモードを持ったRAM/ROMを始めとする様々な外部メモリを直結できるものがある。例えば、(株)日立製作所平成6年3月発行第3版「日立シングルチップRISCマイコン SH7032, SH7034ハードウェアマニュアル」に記載され

ている。また、こうしたCPUチップではバイト（8ビット）アクセス、ショートワード（16ビット）アクセスおよびロングワード（32ビット）アクセスの全てをサポートするのが常識である。これはC言語などの高級言語で書かれたプログラムを効率良く実行するために不可欠であるためである。しかし、その反面、

5 外部メモリアccessの制御が複雑になり、外部アクセスには最低でも3サイクル以上かかってしまう。

以上、述べてきたように従来のDSPチップとCPUチップはそれぞれの応用に適した異なる外部メモリインタフェースをサポートしていた。本発明のようにDSP機能とCPU機能を統合した場合、従来のCPUタイプの外部メモリインタフェースを用いるのが望ましい。しかしながら、DSP機能にとって外部アクセスが遅くなるという問題が生じる。

10

そこで第2の実施例では第1の実施例のDSP/CPU統合チップの内部RAMをキャッシュメモリに置き換え、外部メモリアccessの高速化を図る。図7に図6の内部RAMをキャッシュメモリに置き換えた場合のDSP/CPU統合チップ

15 とキャッシュ（内部メモリ）と外部メモリの関係の詳細を示す。

図7ではDSP/CPU統合チップ700、外部ROM713および外部RAM714が外部アドレスバス711と外部データバス712を介して接続されている。またDSP/CPU統合チップ700の内部でDSP/CPU密結合コア701、内部ROM702、キャッシュ（内部RAM）704、DMAC705および統合外部バスインタフェース708が内部データバス706と内部アドレスバス707を介して接続されている様子が示してある。図6の内部RAM704の代わりにキャッシュ（内部RAM）704とキャッシュコントローラ703がDSP/CPU統合チップに内蔵されている以外が、図6と異なる。なお、

20

図7ではDMAC705が図示されているが、図6ではDMACが図示されていない。これは、図6では説明上必要でなかったため省略されているだけで、図3でDMAC317が図示されているようにDSP/CPU統合チップにはDMACが内蔵されている。ただし、キャッシュコントローラ703とDMAC705の接続関係は図7にのみ適用される。

25

DSP/CPU密結合コア701がキャッシュ機能でサポートされているアドレ

5 スをアクセスすると次のようになる。まずキャッシュ704がそのアドレスのデータがキャッシュ704内にあるかチェックし、もしあればキャッシュ704内のそのデータがアクセスされる。もしなければキャッシュ704がキャッシュコントロール703に知らせ、キャッシュコントローラ703がDMAC705を起動して外部メモリ713、714からそのアドレスを含む近傍のデータ複数個（500B～1kB程度の場合が多い）をキャッシュ704内に読み込み、DSP/CPU密結合コア701に供給される。

10 プログラムやデータの参照には局所性がある。つまり、あるアドレスが参照された時、次にその近傍のアドレスが参照される可能性が非常に大きい。よって、前述のキャッシュを用いたメカニズムを使えば、外付けメモリ713、714を平均的に内部メモリと同じレートでアクセスできる。このようなキャッシュは例えば（株）日立製作所平成6年9月発行第1版「Supper RISC engine SH7604ハードウェアマニュアル」に開陳してある。ただし、前記マニュアルに記載されるマイクロプロセッサ等のキャッシュメモリは、キャッシュメモリ内に該当するデータが無い場合（ミスヒットの場合）に、外部メモリから読み出すデータ量はキャッシュメモリの1ラインサイズで16B（バイト）等と小さい。

15 このようにDSP/CPU統合チップの内部RAMをキャッシュメモリに置き換えることにより、DSP機能にとって外部アクセスが遅くなるという問題を解決できる。

20 [第3の実施例：プログラムの配置]

次に本発明の第3の実施例を図5、図6、図8および図9を用いて説明する。第3の実施例では、DSP機能にとって外部アクセスが遅くなるという問題点をメモリの割付を考慮することにより解決したものである。

25 図6は図5の移動通信端末の中でのDSP/CPU統合チップと内部メモリと外部メモリの関係の詳細を示したものである。既に図6を用いて説明したようにDSP/CPU密結合コア601は一つのバスマスタとして統合されているため、DSP機能とCPU機能の両者が内部ROM602、内部RAM603、外部ROM611および外部RAM612の何れをも任意にアクセスできる。すなわち内部メモリも外部メモリもDSP用またはCPU用という区別が全くなく、完全

に共有なリソースとなっている。

しかしながら、移動通信端末への適用を考えた場合、内部メモリと外部メモリの意識的な使い分けが重要となる。図8にこの使い分けの一例を示す。図8にはDSP/CPU統合チップ800、内部ROM801、内部RAM802、外部ROM803および外部RAM804が示してある。これらは、図6のDSP/CPU統合チップ600、内部ROM602、内部RAM603、外部ROM611および外部RAM612に対応する。図8のメモリ配置では音声符号化/復号化、通信路符号化復号化そして変復調などのDSP機能を用いたプログラムと固定データを内部ROM801にシステム制御、通信プロトコル、ユーザインタフェースといったCPU機能を用いたプログラムとそれ用の固定データを外部ROM803に配置している。

このようなプログラム配置をとることにより、DSP機能は外部メモリをアクセスする必要がなくなり、問題を克服できる。

しかし、DSP機能を用いたプログラムと固定データが内部ROM801に格納できない位大きい場合も考えられる。こうした場合は図9に示したメモリ割付が有効である。図9にはDSP/CPU統合チップ900、内部ROM901、内部RAM902、外部ROM903および外部RAM904が示してある。これらは、図6のDSP/CPU統合チップ600、内部ROM602、内部RAM603、外部ROM611および外部RAM612に対応する。図9のメモリ配置は基本的には図8の割付と同じである。違いは図9では音声符号化/復号化、通信路符号化復号化そして変復調などのDSP機能を用いたプログラムと固定データのうち、高速アクセスを必要としない部分を外部ROM903に配置しているところである。

例えば音声符号化において10キロバイト程度の大きな符号テーブルを検索する。この時、符号テーブルから符号を一つずつ読み出してきて処理するわけであるが、一符号当り数百サイクルかかる場合もある。よってこの10キロバイト程度の大きな符号テーブルを外部メモリに置き、アクセスに数サイクル必要でも数パーセントのオーバーヘッドに過ぎない。また、音声符号化/復号化、通信路符号化復号化そして変復調などのDSP機能を用いたプログラムでも全てが積和演

算ではなく、ハウスキーピング処理と言われるCPUに近い機能を用いたプログラムも含まれている。このような処理の部分は一般に処理量が少なく、プログラムサイズが大きい。このようなプログラム部分を外部ROM 903に配置すればよい。

- 5 図9に示したようにDSP機能を用いたプログラムと固定データのうち、高速アクセスを必要としない部分を外部ROMに配置することによってDSP機能にとって外部メモリアccessが遅くなるという問題点を解決できる。

[第4の実施例：高速アクセスモードメモリインタフェース]

- 次に本発明の第4の実施例を図5、図10A、10Bおよび図11を用いて説明する。第4の実施例は第1、第2の実施例のDSP/CPU統合チップの外部メモリとして従来DSPには使われていなかった高速アクセスモードをサポートしているメモリを直結した例である。

- 高速アクセスモードをサポートしているメモリといってもたくさんあるのでここでは説明を具体的に行うためにバーストROMを直結した例を取りあげる。しかしながら、本発明はバーストROMに限るものでなく、全ての高速アクセスモードをサポートしているメモリ（シンクロナスDRAM、シンクロナスSRAM等）を含む。また、図10Aでは外部アドレス20ビット、外部データ8ビットとしてあるが、これも説明を具体化するためであり、本発明はあらゆる外部アドレスのビット幅とあらゆる外部データのビット幅に適用される。

- 20 図10Aは図5の移動通信端末の中のDSP/CPU統合チップと外部バーストROMを接続した場合の詳細を示したものである。図10AではDSP/CPU統合チップ1000と外部バーストROM1009が統合外部アドレスバス1007、データバス1008を介して直結されている。これらは、図6のDSP/CPU統合チップ600、外部ROM611、外部アドレスバス609及びデータバス610に相当する。DSP/CPU統合チップ1000の内部で
25 DSP/CPU密結合コア1001、内部ROM1002、内部RAM1003および統合外部バスインタフェース1006が内部データバス1004と内部アドレスバス1005を介して接続されている様子が示してある。これらは、図6のDSP/CPU密結合コア601、内部ROM602、内部RAM603、統

合外部バスインタフェース606、内部データバス604及び内部アドレスバス605に相当する。DSP/CPU統合チップ1000から外部バーストROM1009を制御する信号にはチップセレクト信号(/CS2)1010とリード信号(/RD)1011がある。これらの信号はバーストROM1009のチップイネーブル端子(/CE)とアウトプットイネーブル端子(/OE)に入力される。また図10BにはDSP/CPU統合チップ1000と外部バーストROM1009の間の信号のタイムチャートが示してある。

図11にDSP/CPU統合チップのメモリマップの一例1100を示す。このメモリマップ1100ではチップセレクト(/CS2)の空間にバーストROMを直結できる。すなわち図10AのDSP/CPU密結合コア1001がこのチップセレクト(/CS2)の空間をアクセスするとチップセレクト(/CS2)1010がアクティブローになり、リード信号(/RD)1011がタイムチャートに示した動作を行なう。

バーストROMでは連続する4データをアクセスする場合、最初の第1データのアクセスに若干のオーバーヘッドがあるものの残りの3データは高速にアクセスできる。この様子を図10Bを使って説明する。チップセレクト信号(/CS2)1010がローになり、バーストROM1009がアクティブになった後、アドレスの上位ビットA2~A19(下位2ビットを除く)を用いて連続する4データがバーストROM内部で一度にアクセスされる。その後、アドレスの下位2ビットA0、A1を用いてアクセスされた4データを順番にバーストROM外部に読み出すわけである。読み出されたデータはリード信号(/RD)1011の立ち上がりエッジでDSP/CPU統合チップ1000に読み込まれる。

図10Bの例では最初のデータの読み出しに6サイクルかかっている。これは先に述べた連続する4データをバーストROM内部で一度にアクセスする時間を含んでいるためである。しかし、引き続く3つのデータは1サイクルで読み出せている。よって実行的なアクセスサイクルは $(6 + 1 * 3) / 4 = 2.25$ サイクルとなる。よって普通の外付けROMで3サイクルかかる場合よりも25%の高速になる。

このような高速アクセスモードをサポートしているメモリを直結することによ

ってDSP機能にとって外部メモリアクセスが遅くなるという問題点を解決することもできる。また、この第4の実施例とキャッシュメモリを用いた第2の実施例を組み合わせればキャッシュメモリがヒットしなかった場合のオーバーヘッドを削減できる。

5 [第5の実施例：DRAMインタフェース]

次に本発明の第5の実施例を図5、図12A、12B、12Cおよび図11を用いて説明する。第5の実施例は第1、第2の実施例のDSP/CPU統合チップの外部メモリとして従来DSPには使われていなかったDRAMを直結した例である。

- 10 図12Aは外部RAMの一つとしてDRAM (Dynamic RAM) を直結し、移動通信端末に新しい付加価値をつける例を示している。図12Aは図5の移動通信端末の中でDSP/CPU統合チップと外部DRAMを接続した場合の詳細を示したものである。図12AではDSP/CPU統合チップ1200と外部DRAM1209が統合外部アドレスバス1207、データバス1208を介して直
- 15 結されている。これらは、図6のDSP/CPU統合チップ600、外部RAM612、外部アドレスバス609及びデータバス610に相当する。DSP/CPU統合チップ1200の内部でDSP/CPU密結合コア1201、内部ROM1202、内部RAM1203および統合外部バスインタフェース1206が内部データバス1204と内部アドレスバス1205を介して接続されている
- 20 様子が示してある。これらは、図6のDSP/CPU密結合コア601、内部ROM602、内部RAM603、統合外部バスインタフェース606、内部データバス604及び内部アドレスバス605に相当する。DSP/CPU統合チップ1200から外部DRAM1209を制御する信号には行アドレス選択信号(／RAS)1210、列アドレス選択信号(／CAS)1211とライト信号
- 25 (／WR)1212がある。これらの信号は外部DRAM1209の対応する端子に入力される。また図12B、12CにはDSP/CPU統合チップ1200と外部DRAM1209の間の信号のタイムチャートが示してある。

図11にDSP/CPU統合チップのメモリマップの一例1100を示す。このメモリマップ1100ではチップセレクト(／CS3)の空間にDRAMを直

結できる。すなわち図12AのDSP/CPU密結合コア1201がこのチップ
セレクト(／CS3)の空間をアクセスすると行アドレス選択信号(／RAS)
1210、列アドレス選択信号(／CAS)1211とライト信号(／WR)1
212が図12B、図12Cのタイムチャートに示した動作を行なう。

- 5 本発明においては、このように直結された大容量のDRAMをDSP機能から
直接アクセスできる。図5に示した移動通信端末では留守番電話機能のような付
加価値の追加が用意に行なえる。移動通信端末では通信される音声データは4
kbit/sec～13kbit/secに圧縮されているので図12Aに示したように、例
えば4MbitのDRAMチップを1個用いた場合、5分～17分の音声を格納でき
10 る。

[第6の実施例：周辺回路のデータ転送の高速化]

次に本発明の第6の実施例を図5、図13A、13B及び図14を用いて説明
する。第6の実施例は第1の実施例の統合周辺回路のデータ転送の高速化を図っ
たものである。

- 15 従来の独立したDSPチップでは周辺回路は数も種類も少なく内部データバス
に直結され、データの高速転送が可能であった。一方、従来の独立したCPUチ
ップでは周辺回路は数も多く、種類も多様であった。しかし、その半面、周辺回
路インタフェースを介する必要があるため、データ伝送レートは低かった。

本発明のDSP/CPU統合チップではDSP機能用の周辺回路がCPU機能
20 の周辺回路と統合周辺回路インタフェースを介して接続されている。そのため、
DSP機能用の周辺回路のデータ転送が遅くなるという場合があった。

そこで第6の実施例では複数サンプルを並列に転送することによって、第1の
実施例の統合周辺回路の高速データ転送化を図る。

- 図13は図5の移動通信端末の中でDSP/CPU統合チップ1300と統合
25 ベースバンドAFE1313との接続の詳細を示したものである。これらは、図
5のDSP/CPU統合チップ500と統合AFE501に対応する。図13A
には特に、高周波変復調器とのやり取りに係わるデータ転送の部分のみを示して
ある。

DSP/CPU統合チップ1300内ではシリアル入出力回路(SIO1)1

301、シリアル入出力回路(SIO2)1302および統合周辺バス1303
が関係する。これらは、図3のDSP周辺回路322及び統合周辺アドレスバス
(PA)320と統合周辺データバス(PD)321に対応する。図13Aでは
シリアル入出力回路(SIO1)1301は入出力ともに使用されているがシリ
5 アル入出力回路(SIO2)1302は入力機能のみ使われている。すなわち、
DSP/CPU統合チップ1300は統合ベースバンドAFE1313に対して
1出力2入力という構成になっている。

統合ベースバンドAFE1313ではシリアルインタフェース1319、GM
SK (Gaussian Minimum Shift Keying) 変調器1316、I信号用DA変換器1
10 318、Q信号用DA変換器1317、I信号用AD変換器1315、Q信号用
AD変換器1314が本実施例に関連する要素である。高周波変復調器と統合ベ
ースバンドAFE1313はアナログ信号であるI信号とQ信号でやり取りする。

DSP/CPU統合チップ1300と統合ベースバンドAFE1313は信号
線TXD1(1304)、STS1(1305)、STCK1(1311)、R
15 XD1(1306)、SRS1(1310)、SRCK1(1311)、RDX
2(1309)、SRS2(1308)およびSRCK2(1311)を介して
接続されている。これら信号線のタイミングチャートを図13Bに示してある。
また、図13Aの信号線1311と信号線1312の信号は図5のシステムタイ
ミング回路520から供給される。信号線1312はシリアルインタフェース1
20 319を制御するのに使われる。信号線1311はデータ転送用の基本クロック
であり、DSP/CPU統合チップ1300と統合ベースバンドAFE1313
の両者に供給されている。

次に転送の詳細を説明する。まず、DSP/CPU統合チップ1300から統
合ベースバンドAFE1313にデータを転送する場合を考える。この時、使用
25 される信号線はTXD1(1304)、STS1(1305)およびSTCK1
(1311)の3本である。STCK1(1311)は先に述べたように図5の
システムタイミング回路520から供給されるデータ転送用の基本クロックであ
る。ここでは16ビットのデジタルデータをこの基本クロックに同期して1ビッ
トずつ転送している。もちろん任意のビット幅のデータを同じ図式で転送できる。

TXD1 (1304) は送信用の1ビットデータバスである。STS1 (1305) はフレーム同期信号線であり、この信号がパルスとして出力された次のクロックから16クロックの間、TXD1 (1304) 上にデータが1ビットずつ順番に出力される。この時のタイミングが図13Bに示してある。STS1 (1305) のパルスが出力された次のクロックから16ビットのデータD15~D0が最上位ビットD15から順番に1クロックごとに1ビットずつTXD1 (1304) 上に出力されている。

次にDSP/CPU統合チップ1300が統合ベースバンドAFE1313からデータを受信する場合を考える。I信号とQ信号の2つの信号データが受信されるので、まずI信号から考える。この時、使用される信号線はRXD1 (1306)、SRS1 (1310) およびSRCK1 (1311) の3本である。SRCK1 (1311) は先に述べたように図5のシステムタイミング回路520から供給されるデータ転送用の基本クロックである。ここでも16ビットのデジタルデータをこの基本クロックに同期して1ビットずつ転送している。もちろん任意のビット幅のデータを同じ図式で転送できる。RXD1 (1306) は受信用の1ビットデータバスである。SRS1 (1310) はフレーム同期信号線であり、この信号がパルスとしてDSP/CPU統合チップ1300に入力された次のクロックから16クロックの間、RXD1 (1304) 上にあるデータが1ビットずつ順番に入力される。この時のタイミングも図13Bに示してある。SRS1 (1306) のパルスが入力された次のクロックから16ビットのデータD15~D0が最上位ビットD15から順番に1クロックごとに1ビットずつRXD1 (1304) から入力されている。Q信号の受信もI信号の受信と全く同様にして行なわれる。異なるのはI信号の受信がシリアル入出力回路(SIO1) 1301で行なわれ、Q信号がシリアル入出力回路(SIO2) 1302で受信される所である。

次に図13Aにおけるシリアル入出力回路(SIO1) 1301とシリアル入出力回路(SIO2) 1302の詳細を図8を用いて説明する。図14にはDSP/CPU統合チップ内の本実施例に関連する部分を示してある。シリアル入出力回路(SIO1) 1301はシリアル入出力回路(SIO1) 1424に、シ

リアル入出力回路 (SIO2) 1302はシリアル入出力回路 (SIO2) 1420に対応する。

図14はDSP/CPU密結合コア1400、内部メモリX1401、内部メモリY1402、統合周辺バスインタフェース1406、DMAC1405、シリアル入出力回路 (SIO1) 1424、シリアル入出力回路 (SIO2) 1420およびアンド回路1429から構成されている。DSP/CPU密結合コア1400、内部メモリX1401、内部メモリY1402、統合周辺バスインタフェース1406およびDMAC 1405は内部アドレスバス (IA) 1403と内部データバス (ID) (32ビット幅) 1404を介して接続されており、シリアル入出力回路 (SIO1) 1424とシリアル入出力回路 (SIO2) 1420は統合周辺バス1407、1408、1409を介して統合周辺バスインタフェース1406につながっている。

統合周辺バスはアドレスバス (PA) 1407、と32ビット幅のデータバス (PD) からなり、PDバスは上位16ビットPD (31-16) 1408と下位16ビットPD (15-0) 1409からなる。図14ではシリアル入出力回路 (SIO1) 1424が統合周辺データバスの上位16ビットPD (31-16) 1408にシリアル入出力回路 (SIO2) 1420が統合周辺データバスの下位16ビットPD (15-0) 1409に接続されている。図示されていないが、アドレスバス (PA) 1407はシリアル入出力回路 (SIO1) 1424とシリアル入出力回路 (SIO2) 1420とに接続されている。

シリアル入出力回路 (SIO1) 1424は16ビット幅のデータ送信用データレジスタ (TDR1) 1427、16ビット幅のデータ受信用データレジスタ (RDR1) 1428、パラレル/シリアル変換器1425、シリアル/パラレル変換器1426および制御回路1423からなる。チップ外部とやり取りする6本 (送受信おのこの3本ずつ) の信号線類RXD1 (1430)、SRCK1 (1432)、SRS1 (1433)、TXD1 (1434)、STS1 (1435)、STCK1 (1436) も示してある。これらの信号線は、図13AのRXD1 (1306)、SRCK1 (1311)、SRS1 (1310)、TXD1 (1304)、STS1 (1305)、STCK1 (1311) に対応する。

これら信号線の詳細は図13Aを用いて先に説明した。

シリアル入出力回路(SIO2)1420は16ビット幅のデータ送信用データレジスタ(TDR2)1415、16ビット幅のデータ受信用データレジスタ(RDR2)1416、パラレル/シリアル変換器1417、シリアル/パラレル変換器1418および制御回路1419からなる。チップ外部とやり取りする6本(送受信おのおの3本づつ)の信号線類TXD2(1431)、SRCK2(1437)、SRS2(1438)、RXD2(1439)、も示してある。これらの信号線のうち、SRCK2(1437)、SRS2(1438)、RXD2(1439)は、図13AのSRCK2(1307)、SRS2(1308)、RXD2(1309)に対応する。これら信号線の詳細も図13Aを用いて先に説明した。ただし、図13Aではこのシリアル入出力回路(SIO2)1420を受信用にしか使っていない。よってこれらの信号線のうち送信用の3本TXD2(1431)、STS2(1440)、STCK2(1441)は図13Aには表示されていない。

まず、シリアル入出力回路(SIO1)1424を用いてデータを送信する場合について説明する。16ビット幅送信データは統合周辺データバスの上位16ビットPD(31-16)1408を介して1424はデータ送信用データレジスタ(TDR1)1427に入力される。そしてパラレル/シリアル変換器1425を通して1ビットデータバスTDX1(1434)上に1ビットずつ出力される。出力のサイクルやタイミングは信号線STS1(1435)とSTCK1(1436)を用いて制御回路1423がコントロールする。

次にシリアル入出力回路(SIO1)1424とシリアル入出力回路(SIO2)1420で受信した2つの16ビットデータを32ビットバスを介して並列に転送する場合を説明する。シリアル入出力回路(SIO1)1424では受信データはRDX1(1430)から1ビットずつ入力される。入力のサイクルやタイミングは信号線SRS1(1433)とSRCK1(1432)を用いて制御回路1423がコントロールする。入力されたビット列はシリアル/パラレル変換器1426を通して16ビット幅の並列データに変換され、受信用データレジスタ1428に入力される。受信用データレジスタ1428に受信データが入

力され、転送の準備が整うと制御回路1423はDMACへの割り込み信号(INT)1422をアクティブにする。

一方、シリアル入出力回路(SIO2)1420では受信データはRDX2(1439)から1ビットずつ入力される。入力のサイクルやタイミングは信号5 線SRS2(1438)とSRCK2(1437)を用いて制御回路1419がコントロールする。入力されたビット列はシリアル/パラレル変換器1418を通して16ビット幅の並列データに変換され、受信用データレジスタ(RDR2)1416に入力される。受信用データレジスタ(RDR2)1416に受信データが入力され、転送の準備が整うと制御回路1419はDMACへの割り込み信号(INT)1421をアクティブにする。アンド回路1429は割り込み信号(INT)1422と割り込み信号(INT)1421の論理積をとってDMAC1405に割り込みをかける。すなわち、DMAC1405に割り込みがかかった時点では2つの16ビット受信用データレジスタRDR1(1428)とRDR2(1416)には転送すべきデータが準備されている。DMACは2 15 つの16ビット受信データを1つの32ビットデータとして扱い、32ビット幅の統合周辺データバス1408、1409と32ビット幅の内部データバス1404を介して内部メモリX1401か内部メモリY1402に転送することができる。

このように第6の実施例を用いれば16ビットのデータを1つずつ転送する場合に比べてシリアル入出力回路の転送レートを2倍にすることができ、DSP機能用の周辺回路のデータ転送が遅くなるという問題点を解決できる。

[第7の実施例]

次に本発明の第7の実施例を図5、図15A、15Bおよび図16を用いて説明する。第7の実施例は第6の実施例のバリエーションである。第6の実施例では2つの受信信号のために2つのシリアル入出力回路を使っていた。第7の実施例では2つの受信信号を時分割多重して1つのシリアル出回路しか使用しない。

図15Aは図5の移動通信端末の中でDSP/CPU統合チップ1500と統合ベースバンドAFE1511との接続の詳細を示したものである。これらは、図5のDSP/CPU統合チップ100と統合AFE501に対応する。図15

Aでも特に、高周波変復調器とのやり取りに係わるデータ転送の部分のみを示してある。

DSP/CPU統合チップ1500内ではシリアル入出力回路SIO11502および統合周辺バス1501が関係する。これらは図3のDSP用周辺回路4522及び統合用アドレスバス(PA)320と統合用データバス(PD)321に対応する。図15Aではシリアル入出力回路SIO11502は入出力ともに使用されている。DSP/CPU統合チップ1500は統合ベースバンドAFE1511に対して1出力1入力という構成になっている。

統合ベースバンドAFE1511ではシリアルインタフェース1505、GM10SK (Gaussian Minimum Shift Keying) 変調器1514、I信号用DA変換器1516、Q信号用DA変換器1515、I信号用AD変換器1513、Q信号用AD変換器1512が本実施例に関連する要素である。高周波変復調器と統合ベースバンドAFE1511はアナログ信号であるI信号とQ信号でやり取りする。

DSP/CPU統合チップ1500と統合ベースバンドAFE1511は信号15線TXD1(1503)、STS1(1504)、STCK1(1509)、RXD1(1508)、SRS1(1507)、SRCK1(1509)およびIQFLAG(1506)を介して接続されている。これら信号線のタイミングチャートを図15Bに示してある。また、図15Aの信号線1509と信号線1510の信号は図5のシステムタイミング回路520から供給される。信号線152010はシリアルインタフェース1505を制御するのに使われる。信号線1509はデータ転送用の基本クロックであり、DSP/CPU統合チップ1500と統合ベースバンドAFE1511の両者に供給されている。

次に転送の詳細を説明する。DSP/CPU統合チップ1500から統合ベースバンドAFE1511にデータを転送する場合は図13Aの例と全く同じであるので説明は省略する。25

次にDSP/CPU統合チップ1500が統合ベースバンドAFE1511からにデータを受信する場合を考える。I信号とQ信号の2つの信号データが受信されるが、図15Aではこの2つの信号が時分割多重されている。この時使用される信号線はRXD1(1508)、SRS1(1507)、SRCK1(15

09) および IQFLAG (1506) の4本である。SRCK1 1509は先に述べたように図5のシステムタイミング回路520から供給されるデータ転送用の基本クロックである。この場合も16ビットのデジタルデータをこの基本クロックに同期して1ビットずつ転送している。もちろん任意のビット幅のデータを同じ図式で転送できる。RXD1 (1508) は受信用の1ビットデータバスである。SRS1 (1507) はフレーム同期信号線であり、この信号がパルスとしてDSP/CPU統合チップ1500に入力された次のクロックから16クロックの間、RXD1 (1508) 上にあるデータが1ビットずつ順番に入力される。

10 この時のタイミングも図15Bに示してある。タイミングチャートでは最初にI信号が入力され、続いてQ信号が入力される様子が示してある。まず、SRS1 (1507) の最初のパルスが入力された次のクロックから16ビットのデータI15~I0が最上位ビットI15から順番に1クロックごとに1ビットずつRXD1 (1508) から入力されている。そして、SRS1 (1507) の二
15 番目のパルスが入力された次のクロックから16ビットのデータQ15~Q0が最上位ビットQ15から順番に1クロックごとに1ビットずつRXD1 (1508) から入力されている。RXD1 (1508) で転送されているデータを識別するためにIQFLAG (1506) が用いられる。図15AではI信号が転送されている間、IQFLAG (1506) がハイレベルになっている。

20 次に図15Aにおけるシリアル入出力回路(SIO1)1502の詳細を図16を用いて説明する。図16にはDSP/CPU統合チップ内の本実施例に関連する部分を示してある。シリアル入出力回路(SIO1)1502はシリアル入出力回路(SIO1)1631に対応する。

図16はDSP/CPU密結合コア1600、内部メモリX 1601、内部
25 メモリY1602、統合周辺バスインタフェース1606、DMAC 1605 およびシリアル入出力回路SIO11631から構成されている。DSP/CPU密結合コア1600、内部メモリX1601、内部メモリY1602、統合周辺バスインタフェース1606およびDMAC1605は内部アドレスバス(IA)1603と内部データバス(ID)(32ビット幅)1604を介して接続

されており、シリアル入出力回路(SIO1)1631は統合周辺バス1607、1608、1609を介して統合周辺バスインタフェース1606につながっている。統合周辺バスはアドレスバス(PA)1607、と32ビット幅のデータバス(PD)からなり、PDバスは上位16ビットPD(31-16)1608と下位16ビットPD(15-0)1609からなる。

シリアル入出力回路(SIO1)1631は2つの16ビット幅のデータ送信用データレジスタTDRU(1629)、TDRL(1630)、2つの16ビット幅のデータ受信用データレジスタRDRU(1614)、とRDRL(1615)、2つのマルチプレクサ(MUL)1628、1616、パラレル/シリアル変換器1627、シリアル/パラレル変換器1617および制御回路1619からなる。データ送信用データレジスタ(TDRU)1629とデータ受信用データレジスタ(RDRU)1614は統合周辺データバスの上位16ビットPD(31-16)1608に接続され、データ送信用データレジスタ(TDRL)1630とデータ受信用データレジスタ(RDRL)1615は統合周辺データバスの下位16ビットPD(15-0)1609に接続されている。チップ外部とやり取りする7本(送信用3本 STS1(1625)、STCK1(1624)、TDX1(1626)、受信用3本 SRS1(1620)、SRCK1(1621)、RXD1(1623)およびIQFLAG(1622))の信号線類も示してある。これら信号線の詳細は図15を用いて先に説明した。

まずシリアル入出力回路(SIO1)1631を用いてデータを送信する場合について説明する。はじめに、2つの16ビット幅送信データは32ビットの統合周辺データバスPD(31-0)を介して2つの16ビット幅のデータ送信用データレジスタTDRU(1629)、とTDRL(1630)に入力される。TDRU(1629)には上位16ビットPD(31-16)1608を介してTDRL(1630)には下位16ビットPD(15-0)1609を介して入力される。続いて2つの送信用データレジスタのどちらを送信するかがマルチプレクサ1628で選択される。選択された16ビット幅のデータはパラレル/シリアル変換器1627を通して1ビットデータバスTDX1(1626)上に1ビットずつ出力される。出力のサイクルやタイミングは信号線STS1(162

5) とSTCK1 (1624) を用いて制御回路1619がコントロールする。

次にシリアル入出力回路(SIO1)1631で受信した2つの16ビットデータ(I信号データとQ信号データ)を32ビットバスを介して並列に転送する場合を説明する。シリアル入出力回路(SIO1)1631では受信データは

5 (RDX1)1623から1ビットずつ入力される。入力のサイクルやタイミングは信号線SRS1(1620)とSRCK1(1621)を用いて制御回路719がコントロールする。入力されたビット列はシリアル/パラレル変換器1617を通して16ビット幅の並列データに変換され、2つの受信用データレジスタのどちらかに入力される。どちらに入力するかはマルチプレクサ(MUL)1
10 616で選択される。マルチプレクサ(MUL)1616を切り替える制御信号はIQFLAG(1622)に基づいて制御回路719が生成する。よって例えばI信号データがRDRU(1614)にQ信号データがRDRL(1615)に入力される。

2つの受信用データレジスタRDRU(1614)とRDRL(1615)に
15 受信データが入力され、転送の準備が整うと制御回路719はDMACへの割り込み信号(INT)1618をアクティブにしてDMAC(1605)に割り込みをかける。DMACは2つの16ビット受信データを1つの32ビットデータとして扱い、32ビット幅の統合周辺データバス1608、1609と32ビット幅の内部データバス1604を介して内部メモリX(1601)か内部メモリ
20 Y(1602)に転送することができる。

このように第7の実施例を用いれば16ビットのデータを1つずつ転送する場合に比べてシリアル入出力回路の転送レートを2倍にすることができ、DSP機能用の周辺回路のデータ転送が遅くなるという問題点を解決できる。

[第8の実施例：パワーアンプ制御]

25 次に本発明の第8の実施例を図5、図2、図17A、17B、図18、図19および図20A、20Bを用いて説明する。図2に示した従来例のGSM移動通信端末ではDSPとCPU間の通信オーバーヘッドがあり、システム構成上の効率が問題となっていた。本実施例は第1の実施例の構成ではDSP機能とCPU機能が統合されているのでこのオーバーヘッドがなく、移動通信端末システムを

効率良く構成できることを示すものである。

本実施例では具体例としてR F部のパワーアンプ制御の場合をとりあげる。図5と図2に示したG S M移動通信端末では基地局からの指示に基づいてR F部のパワーアンプの出力制御をすることが義務づけられている。このパワーアンプ制御の場合、従来の構成ではD S PとC P U間の通信オーバーヘッドが頻繁に生じる。

まず、このオーバーヘッドの概略について図1および図18を用いて説明する。すでに図1を用いて移動通信システムの通信端末側の処理について説明した。

図18はこの処理が本発明と従来例でどのように実現されているかを示している。独立した2つのD S PとC P Uを用いた従来例においては、ユーザインタフェース処理、システム制御および通信プロトコル処理がC P Uチップで実現され、音声符号化復号化処理、通信路符号化復号化および変復調処理等がD S Pチップで実現されていた。基地局とデータを送受信するためにはD S Pチップで実現されている通信路符号化復号化および変復調処理を使用する必要がある。そのため通信プロトコル処理に関するデータを基地局とやり取りする必要があるために、たびにC P UチップはD S Pチップと通信する必要があった。この通信のオーバーヘッドを図18の従来例の中に図式化してある。

また、R F部のパワーアンプの出力制御の場合、C P Uチップで実行されているプロトコル処理プログラムが図2のパワーアンプP A制御用D A変換器203にアクセスする必要がある。しかし、物理的にはこのP A制御用D A変換器203はD S Pチップに接続されており、やはり必要が生じるためにたびにC P UチップはD S Pチップと通信する必要があった。

しかしながら、本発明ではユーザインタフェース処理、システム制御および通信プロトコル処理、音声符号化復号化処理、通信路符号化復号化および変復調処理等すべてのデジタル処理がD S P／C P U統合チップで実現されている。そのため、図18に示すようにC P UチップはD S Pチップ間のオーバーヘッドが全くなく、システムを効率良く構成できる。

図20A、20Bで、このオーバーヘッドについてより詳細に説明する。図5と図2に示したG S M移動通信端末では、まず基地局からR F部のパワーアンプ

の出力制御の指示データが送られてくる。

図20Aの従来例では、この受信データはDSPチップに送られる。図20Aにはこれ以降の処理がフローチャートとして示してある。

まずDSPチップは受信データに復調処理、通信路復号化処理を施す。つづいてDSPチップは送られてきたデータをプロトコル処理に渡すためにCPUチップに割り込みをかける。割り込まれたCPUチップはその時、実行していたプログラムをいったん停止して内部状態を退避してDSPチップから受信データを受け取る。その後、CPUチップはプロトコル処理プログラムを実行して受信データを解読し、パワーアンプの出力制御の指示であることを知り、制御データを取り出す。そしてCPUチップはDSPチップに接続されているパワーアンプPA制御用DA変換器にアクセスするためにDSPチップに割り込みをかける。割り込まれたDSPチップはその時、実行していたプログラムをいったん停止して内部状態を退避してCPUチップからPA制御用DA変換器を駆動する指示と制御データを受け取る。そしてDSPチップがPA制御用DA変換器を内蔵するアナログフロントエンドAFE用のDSP周辺回路を駆動してパワーアンプの出力制御を行なう。以上が従来例における処理フローである。オーバーヘッドの部分を網かけで示してある。

これに対して図20Bのフローチャートで示したDSP/CPU統合チップを用いた本発明の場合このオーバーヘッドの部分は全く必要ない。これはDSP機能とCPU機能が統合されているためDSP処理とCPU処理間の通信の必要がないこととDSPとCPUの周辺回路が統合されていてCPU機能からDSP用周辺回路を直接アクセスできることによる。

次にこのCPU機能からDSP用周辺回路を直接アクセスする詳細を図17Aと図19を用いて説明する。すなわち、CPUで実行されるプロトコル処理プログラムが直接パワーアンプPA制御用DA変換器にアクセスする例を詳細に説明する。

図17Aは図5の通信端末のDSP/CPU統合チップ500とパワーアンプPA制御用DA変換器504の接合部分を拡大して関係のある所だけを示してある。DSP/CPU統合チップ1712内ではシリアル入出力回路SIO 17

1 3、BIT I/O回路 1 7 1 4 および統合周辺バスが関係する。統合ベースバンドAFE 1 7 0 0 ではシリアルインタフェース 1 7 0 1、Power Ramping RAM 1 7 0 3、PA制御信号用DA変換器 1 5 0 2 が本実施例に関連する要素である。Power Ramping RAM 1 7 0 3 は出力波形をサンプルデータとして
5 内蔵している。図 1 7 A はサンプル数が 6 個の場合であるがもちろんいくつであっても構わない。内蔵された 6 個のデータで表される波形の一例 1 7 0 4 も図 1 5 A に示してある。統合ベースバンドAFE 1 7 0 0 はパワーアンプをアナログ信号である PA 制御信号でコントロールする。転送起動信号 1 7 0 6 で指定されるタイミングで Power Ramping RAM 1 7 0 3 に内蔵されている出力波形
10 が PA 制御信号 1 7 0 5 としてアナログ信号に変換、出力される。

図 1 9 に図 1 7 A の転送起動信号 1 7 0 6 で指定されるタイミングと要求されるパワーアンプの出力波形を示す。GSM 通信システムは 1 フレーム (4. 6 1 5 ms) が 8 個のタイムスロット (5 7 7 us) からなる時分割システムである。送信は 1 フレーム (8 タイムスロット) 中の 1 タイムスロット分の間起動される。
15 よって図 1 9 の Tx で示されたものが図 1 7 A の転送起動信号 1 7 0 6 で指定されるタイミングとなる。ちなみに図 1 9 の Rx は受信のタイミングである。図 1 9 の下方に要求されるパワーアンプの出力波形を示してある。図に示したとおり、GSM 通信システムではこの出力波形の振幅のみならず、立ち上がりと立ち下りの傾き (Ramping) が厳しく規定されている。図 1 7 A の Power Ramping RAM
20 1 7 0 3 はこの規定を満たすために用いられている。

さて図 1 7 A にもどって説明を続ける。DSP/CPU 統合チップ 1 7 1 2 と統合ベースバンドAFE 1 7 0 0 は信号線 TXD 1 7 1 0、STS 1 7 0 9、STCK 1 7 0 8 および /CTRL 1 7 1 1 を介して接続されている。これら信号線のタイミングチャートを図 1 7 B に示してある。また、図 1 7 A の
25 1 7 0 8、1 7 0 7 と 1 7 0 6 の信号は図 5 のシステムタイミング回路 5 2 0 から供給される。信号線 1 7 0 7 はシリアルインタフェース 1 7 0 1 を制御するのに使われる。信号線 1 7 0 8 はデータ転送用の基本クロックであり、DSP/CPU 統合チップ 1 7 1 2 と統合ベースバンドAFE 1 7 0 0 の両者に供給されている。

次にPower Ramping RAM 1703にデータを書き込む場合の詳細を説明する。DSP/CPU統合チップ1712から統合ベースバンドAFE 1700にデータを転送する基本は図13A、B、図15A、Bで説明したものと同じである。異なる点は今回はPower Ramping RAM 1703の6つのエントリーの
5 どれに書くかを指定するアドレスが必要なところである。そのために図17Aでは転送データ長16ビットのうち最初の10ビットがデータで後半の6ビットがアドレスとなるフォーマットを用いる。もちろんこれらの具体的なビット長は説明を明快にするため仮に設定したものであり、実際には何ビットであっても構わない。転送に使用される信号線は信号線TXD 1710、STS 1709、
10 STCK 1708および/CTRL 1711の4本である。STCK 1708は先に述べたように図5のシステムタイミング回路520から供給されるデータ転送用の基本クロックである。ここでは16ビットのデジタルデータをこの基本クロックに同期して1ビットずつ転送している。もちろん任意のビット幅のデータを同じ図式で転送できる。TXD 1710は送信用の1ビットデータバスである。STS 1709はフレーム同期信号線であり、この信号がパルスとして出力された次のクロックから16クロックの間、TXD 1710上にデータが1ビットずつ順番に出力される。
15

この時のタイミングが図17Bの下方に示してある。STS 1709のパルスが出力された次のクロックから10ビットのデータD9～D0と6ビットのアドレスA5～A0が連続してデータの最上位ビットD9から順番に1クロックごとに1ビットずつTXD 1710上に出力されている。なお、図13A、Bと図15A、Bで説明した通常の転送モードと区別するために/CTRL 1711信号を用いる。/CTRL 1711信号がアクティブの時、6ビットのアドレスで指定される統合ベースバンドAFE 1700の内部リソースに10ビットのデータが書き込まれる。Power Ramping RAM 1703の6つのエントリーにデータを書き込む場合、対応する6つのアドレスとデータをもつ6個の16
20 ビットデータを上記の手順に従って転送すればよい。

以上、説明してきたようにパワーアンプ制御の場合には積和演算などのDSP機能を必要とする処理が全く含まれていない。にもかかわらず、従来例では単に

DSP用の周辺回路をアクセスするためだけにDSPチップが割り込まれていた。本発明によればCPU機能が直接DSP用の周辺回路をアクセスできるため、このような無駄なオーバーヘッドは生じない。

〔第9の実施例：ASIC回路〕

- 5 次に本発明の第9の実施例を図5および図21を用いて説明する。第9の実施例は第1の実施例がベースとしているDSP/CPU統合チップに高速な専用回路を付加した場合の例である。

今までの実施例はDSP/CPU統合チップとして汎用で標準的なものを前提としていた。しかしながら、アプリケーションに特化してシステムを効率よく実

- 10 現するためには高速な専用回路（ASIC回路 Application Specific Integrated Circuit）を内蔵する必要がある。本実施例では本発明の枠組みでこれを如何に構成するかについて説明する。なお、ASIC回路の例としては、図5の統合AFE 501内のAD変換器、DA変換器及びシリアルインタフェース回路等が考えられる。

- 15 図21にはDSP/CPU統合チップ内の本実施例に関連する部分及び外部メモリと外部バスを示してある。図21はDSP/CPU密結合コア2100、内部メモリX 2102、内部メモリY 2103、統合周辺バスインタフェース2116、DMAC 2101、統合外部バスインタフェース2118、統合ASICバスインタフェース2117、標準DSP周辺回路2104、標準CPU
20 周辺回路2105およびASIC回路2106から構成されている。DSP/CPU密結合コア2100、DMAC 2101、内部メモリX 2102、内部メモリY 2103、統合周辺バスインタフェース2116、統合ASICバスインタフェース2117および統合外部バスインタフェース2118は内部アドレスバス2109と内部データバス2108を介して接続されている。標準DSP
25 P周辺回路2104と標準CPU周辺回路2105はアドレスバスPA 2110、データバスPD 2111を介して統合周辺バスインタフェース2116につながっている。

ASIC回路2106はアドレスバスAA 2112、データバスAD 2113を介して統合ASICバスインタフェース2117につながっている。外部

メモリ2107はアドレスバスEA 2114、データバスED 2115を介して統合外部バスインタフェース2116につながっている。図21の構成では統合ASICバスインタフェース2117が統合周辺バスインタフェース2116と並列に内部バスに接続されている。統合ASICバスインタフェース21157は多様な周辺回路に対応する必要がなく高速で単純な構造で実現できる。場合によってはASIC回路2106を内部バスに直結することも考えられる。

このように標準的な統合周辺バスインタフェースと独立した高速で簡単な統合ASICバスインタフェースを用意することにより、高速な専用回路を内蔵することができ、アプリケーションに特化したシステムを効率よく実現することができる。

[第10実施例]

最後に本発明の第10の実施例を図3、図22、図23、および図24を用いて説明する。本実施例はDSP/CPU統合チップにおいてDSP機能で実行されるアセンブラプログラムにCPU機能で実行されるC言語などの高級言語からデータを効率よく渡すためのコンパイラ作成方法についてのものである。

図3に本発明がベースにしているDSP/CPU密結合コアの内部構造が示してある。先に説明したようにDSP機能実行時にはCPUコア307とDSPエンジン306が並列動作する。すなわち、CPUコア307はDSPエンジン306のアドレス演算器として働く。

図22に図3のCPUコア307の中で本実施例に関係する部分を拡大して示す。図22にCPUコア2203と3つの内部アドレスバスIA 2202、XA 2201およびYA 2200を示す。CPUコア2203の内部には16本のレジスタ2209(R0~R15)、SFT(シフト)2210、ALU 2211、add-ALU(補助ALU)2212およびプログラムカウンタ2204が示してある。DSP機能実行時、16本のレジスタ2209のうち4つのレジスタR4、R5、R6およびR7が内部アドレスバスXA 2201およびYA 2200を介してデータアクセスに使用される。R4とR5はアドレスバスXA 2201に接続され、R6とR7はアドレスバスYA 2200に接続されている。

このCPUコアがどのようにDSPエンジンのアドレス演算器として働くかを図24を使って説明する。DSP機能の説明のためここでは単純な積和演算の例を取りあげる。図24の上方にはDSP機能で実現する積和演算のアセンブラ表現2400が示してある。図24の中央にはこの時、使用されるDSP/CPU
5 統合チップ内のハードウェアを示す。これらはXMEM（内部メモリX）2413、YMEM（内部メモリY）2412、4つのCPUコアレジスタ（R4 2415、R5 2414、R6 2411およびR7 2410）、4つのDSPエンジンのレジスタ（X0 2416、Y0 2409、M0 2407およびA0 2405）、DSPエンジンの乗算器2408およびDSPエンジンの
10 ALU 2406である。

4つの矢印2401、2402、2403および2404は積和演算のアセンブラ表現2400の関係するハードウェアを指している。アセンブラ表現2400は並列動作を指定する4つの部分に別れていて4つの矢印2401、2402、2403および2404は、その各々に対応している。最初の部分は加算を指定
15 しており、A0 2405の内容とM0 2407の内容を加算してA0 2405に格納する。2番目の部分は乗算を指定しており、X0 2416の内容とY0 2409の内容を乗算してM0 2407に格納する。3番目の部分は内部メモリXからのデータの読み出しを指定しており、R5の内容をアドレスとしてXMEM（内部メモリX）2413をアクセスし読み出されたデータをX0に
20 格納する。4番目の部分は内部メモリYからのデータの読み出しを指定しており、R6の内容をアドレスとしてYMEM（内部メモリY）2412をアクセスし読み出されたデータをY0に格納する。

以上、説明したように本実施例においてCPUコアレジスタのうち4つは（R4 2415、R5 2414、R6 2411およびR7 2410）はDS
25 Pエンジンのアドレスポインタとして使用される。特にR4 2415とR5 2414は内部メモリX用のポインタとしてR6 2411とR7 2410は内部メモリY用のポインタとして並列アクセスに使用される。

次に図23に図24で示したアセンブラプログラムをC言語からコールすることを考える。図23ではこのアセンブラプログラムはmac_sssという名前

で呼ばれている。図 2 3 のプログラムは要素数 4 つの 2 つの配列の積和をとる簡単なものである。この例を初めとする DSP プログラムでは引き数として積和を実行したい配列の先頭アドレスを引き数として渡すのが自然である。そこでコンパイラの引き数渡しのやり方として関数の最初の 4 つの引き数を DSP エンジン
5 のアドレスポインタとして使用される 4 つの CPU コアレジスタに割り付けることが有効である。これにより図 2 3 の例では積和をとる 2 つの配列の先頭アドレスが R 5 と R 6 に渡されることになる。図 2 4 から明らかなように R 5 と R 6 はそれぞれ X、Y ポインタとしてメモリの並列アクセスに直ちに利用することができ、効率がよい。

- 10 このように関数の最初の 4 つの引き数を DSP エンジンのアドレスポインタとして使用される 4 つの CPU コアレジスタに割り付けるという高級言語コンパイラ向けレジスタ割付方法により、引き数を受け取ったアセンブラプログラムは効率よく DSP 機能を実行できる。

- 15 以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種
種変更可能であることは言うまでもない。また、各実施例を組み合わせ又は置き換えることも可能である。

産業上の利用可能性

- 20 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、DSP 機能と CPU 機能のメモリシステムと周辺回路を統合化して低コスト、低消費電力、小サイズの移動通信端末システムを実現できるという利点がある。

- 25 また、共有化されている内部メモリと外部メモリを DSP 機能と CPU 機能間で任意に分配できるという柔軟性があるため、搭載されたメモリを無駄なく効率良く利用できる。

さらに DSP 機能と CPU 機能間の通信に余分なオーバーヘッドがなくなるので移動通信端末システムを効率良く構成できる。

請 求 の 範 囲

1. 複数の内部メモリ（602, 603）と演算器及びこれらを接続する複数のバス（604, 605）とを備えることによりデジタル信号処理の基本演算で
5 ある非巡回型フィルタ演算を1タップあたり1サイクルで実行できるDSP機能（600）と、

演算、内部メモリアクセス、データ転送等の基本命令を1サイクルに1命令実行可能とすることにより高級言語で書かれたプログラムを上記基本命令にコンパイルして効率よく実行するCPU機能（600）とを1つのバスマスタとして統
10 合し、1つのメモリ空間に統合された内部メモリ空間と外部メモリ空間を備えたマイクロプロセッサを用いて構成された端末装置。

2. 上記請求項1に記載のDSP機能（600）とCPU機能（600）の両者からアクセス可能な統合された周辺回路（503）を備えた端末装置。

3. 上記請求項1の端末装置に用いたマイクロプロセッサで高速アクセスモードを備えた外部メモリ用の直結インタフェース（1006）を具備したマイクロ
15 プロセッサを用いた端末装置。

4. 上記請求項1に記載の端末装置において内部メモリに音声符号化復号化プログラムおよび通信路符号化復号化プログラム（801）を内蔵し、外部メモリに通信用のプロトコルプログラムおよびユーザインタフェースプログラム（80
20 3）を置いた端末装置。

5. 上記請求項1に記載の端末装置に用いたマイクロプロセッサで内部にキャッシュメモリ（704）およびその制御装置を備えたマイクロプロセッサを用いた
端末装置。

6. 上記請求項2に記載の端末装置に用いたマイクロプロセッサでシリアル入
25 出力周辺回路から複数個の入出力サンプルをまとめて内部及び外部メモリに転送できることを特徴とするマイクロプロセッサ（1300）を用いた端末装置。

7. 上記請求項1に記載の端末装置に用いたマイクロプロセッサで外部DRAM直結インタフェース（1206）を備え、デジタル信号処理の基本演算である非巡回型フィルタ演算を1タップあたり1サイクルで実行できる機能からこれを

直接アクセスできることを特徴とするマイクロプロセッサを用いた端末装置。

8. 上記請求項 1 に記載の端末装置に用いるマイクロプロセッサのプログラム生成において、上記 DSP 機能の実現するデジタル・シグナル・プロセッサのアドレスレジスタが上記 CPU 機能を実現するセントラル・プロセッシング・ユニットのレジスタのサブセットにマッピングさせ、上記セントラル・プロセッシング・ユニットのレジスタのサブセットに引き数を渡す高級言語用コンパイラ構成方法。

9. 基地局とデータをやり取りして無線通信を行う端末装置であって、メモリに格納されたプログラムを実行するデータ処理装置 (500) と、
10. 音声符号化処理を行うためのプログラムを格納する領域 (801) と、音声複合化処理を行うためのプログラムを格納する領域と、通信路符号化処理を行うためのプログラムを格納する領域と、通信路複合化処理を行うためのプログラムを格納する領域と、基地局との通信用プロトコル制御を行うためのプログラムを格納する領域 (803) と、使用者とのインタフェース制御を行うためのプログラム
15. ムを格納する領域とを有するメモリとを具備し、

上記メモリの各領域は上記データ処理装置のアドレス空間に配置されることを特徴とする端末装置。

10. 上記データ処理装置は、音声符号化処理と音声複合化処理と通信路符号化処理と通信路複合化処理とを実行するデジタル・シグナル・プロセッサと、基地
20. 局との通信用プロトコル制御と使用者とのインタフェース制御とを実行するセントラル・プロセッシング・ユニットとを具備し、1つの半導体基板上に形成されることを特徴とする請求項 9 に記載の端末装置。

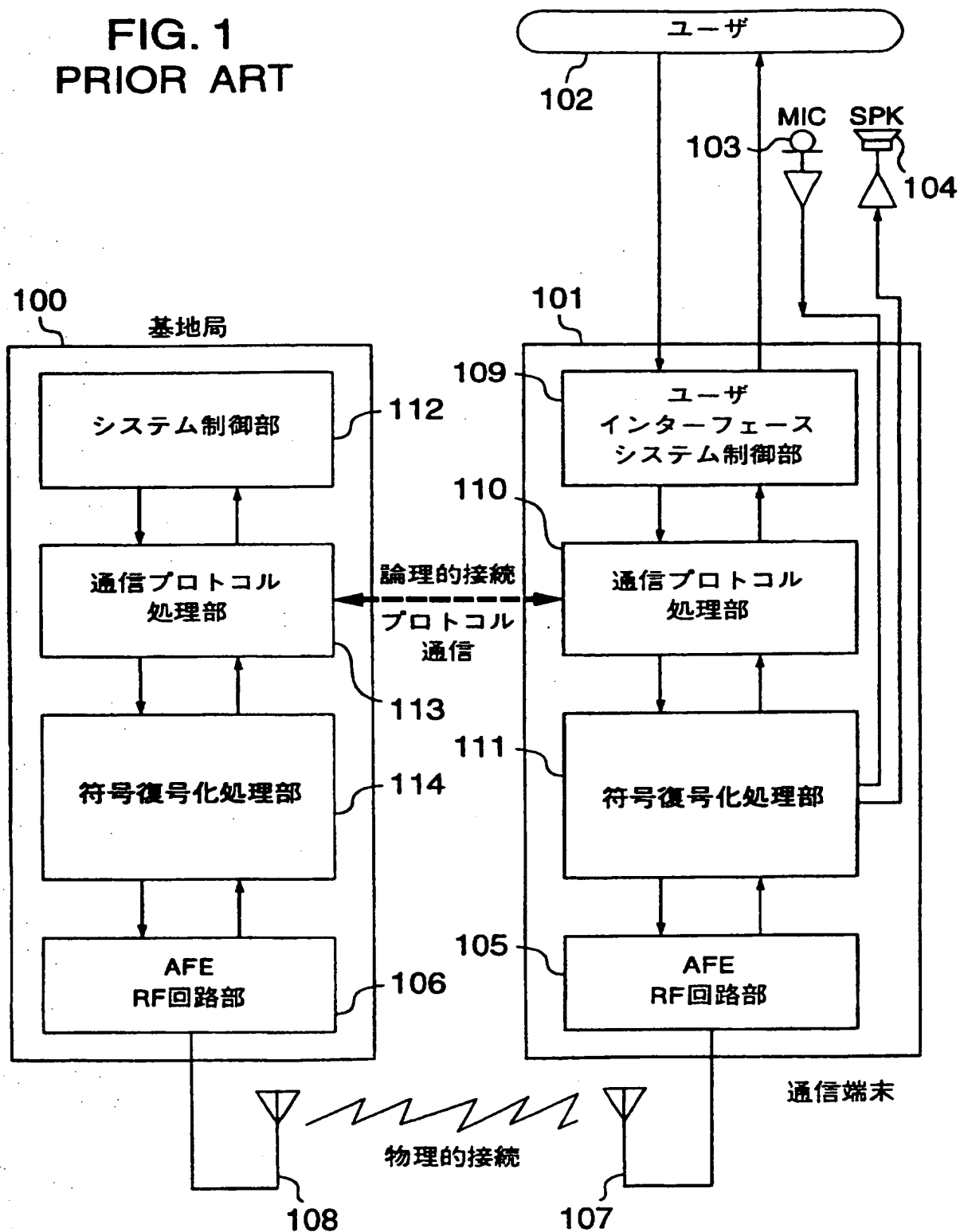
11. 上記音声符号化処理を行うためのプログラムを格納する領域と、音声複合化処理を行うためのプログラムを格納する領域と、通信路符号化処理を行うためのプログラムを格納する領域と、通信路複合化処理を行うためのプログラムを格納する領域とを上記データ処理装置に内蔵されるメモリに格納することを特徴とする請求項 9 又は請求項 10 に記載の端末装置。
25. のプログラムを格納する領域と、通信路複合化処理を行うためのプログラムを格納する領域とを上記データ処理装置に内蔵されるメモリに格納することを特徴とする請求項 9 又は請求項 10 に記載の端末装置。

12. 基地局との通信用プロトコル制御を行うためのプログラムを格納する領域と、使用者とのインタフェース制御を行うためのプログラムを格納する領域とを

上記データ処理装置に外付けされるメモリに格納することを特徴とする請求項 9 から請求項 10 の 1 つに記載の端末装置。

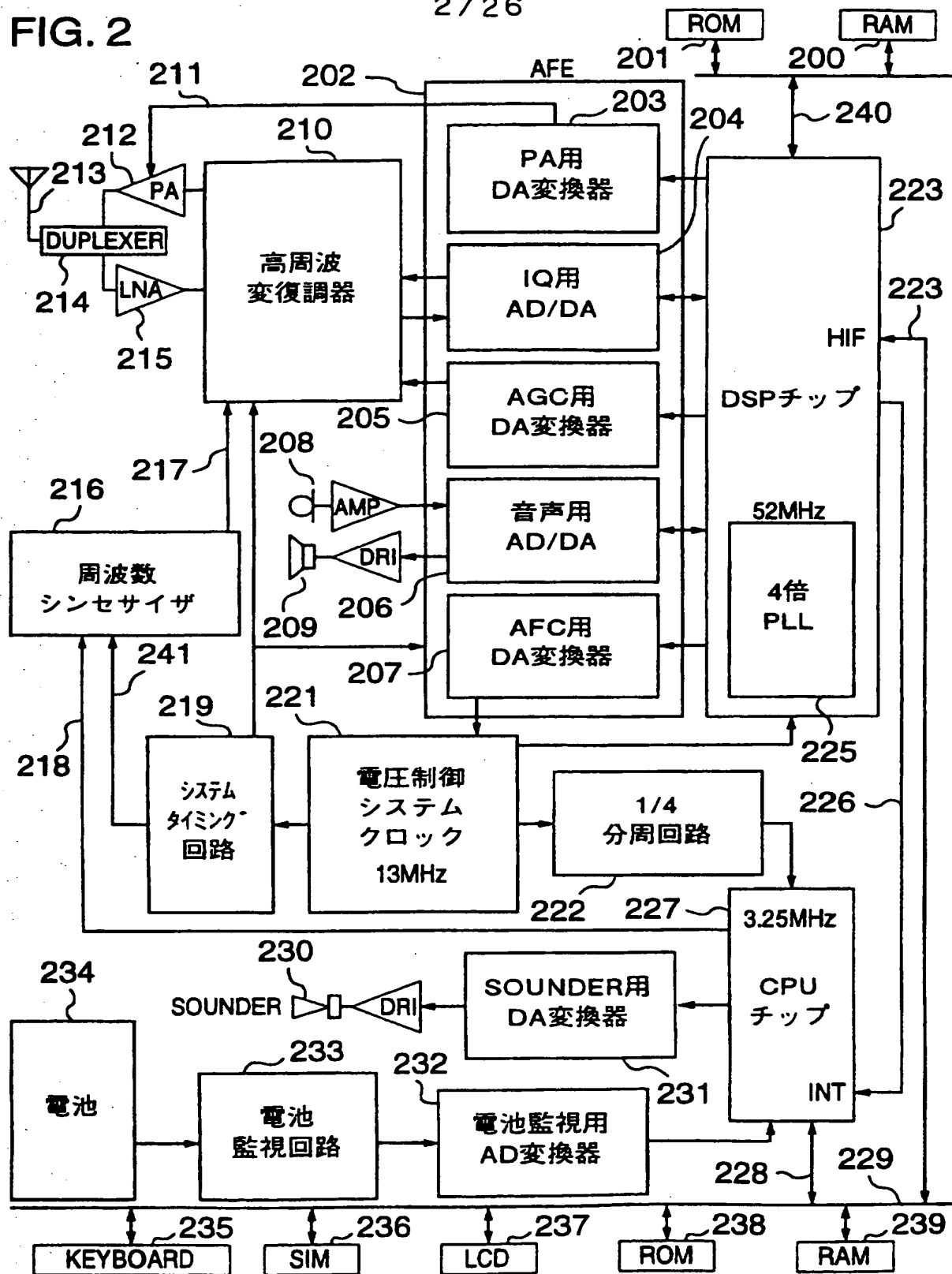
13. 上記データ処理装置は、さらにアナログ・デジタル変換回路及びデジタル・アナログ変換回路とインタフェースするシリアル入出力回路を上記セントラル・プロセッシング・ユニットのアドレス空間内に具備することを特徴とする請求項 9 又は請求項 10 に記載の端末装置。

14. 非巡回型フィルタ演算を 1 タップあたり 1 サイクルで実行できるデジタル信号処理装置と、中央処理装置と、前記中央処理装置のアドレス空間に配置され、前記デジタル信号処理装置と中央処理装置との処理プログラムを格納するメモリとを具備するデータ処理装置。

FIG. 1
PRIOR ART

2 / 26

FIG. 2



3/26

FIG. 3

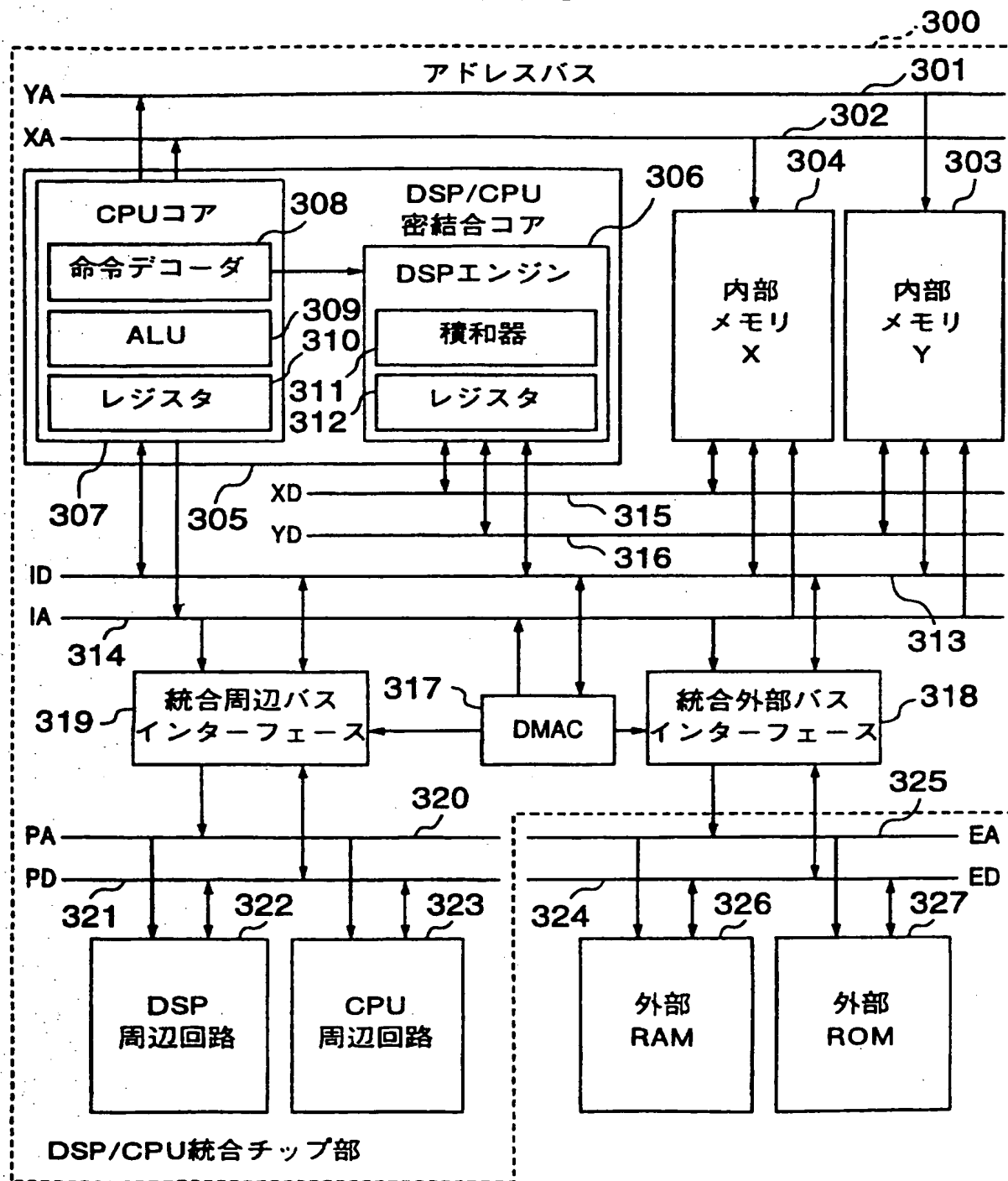


FIG. 4

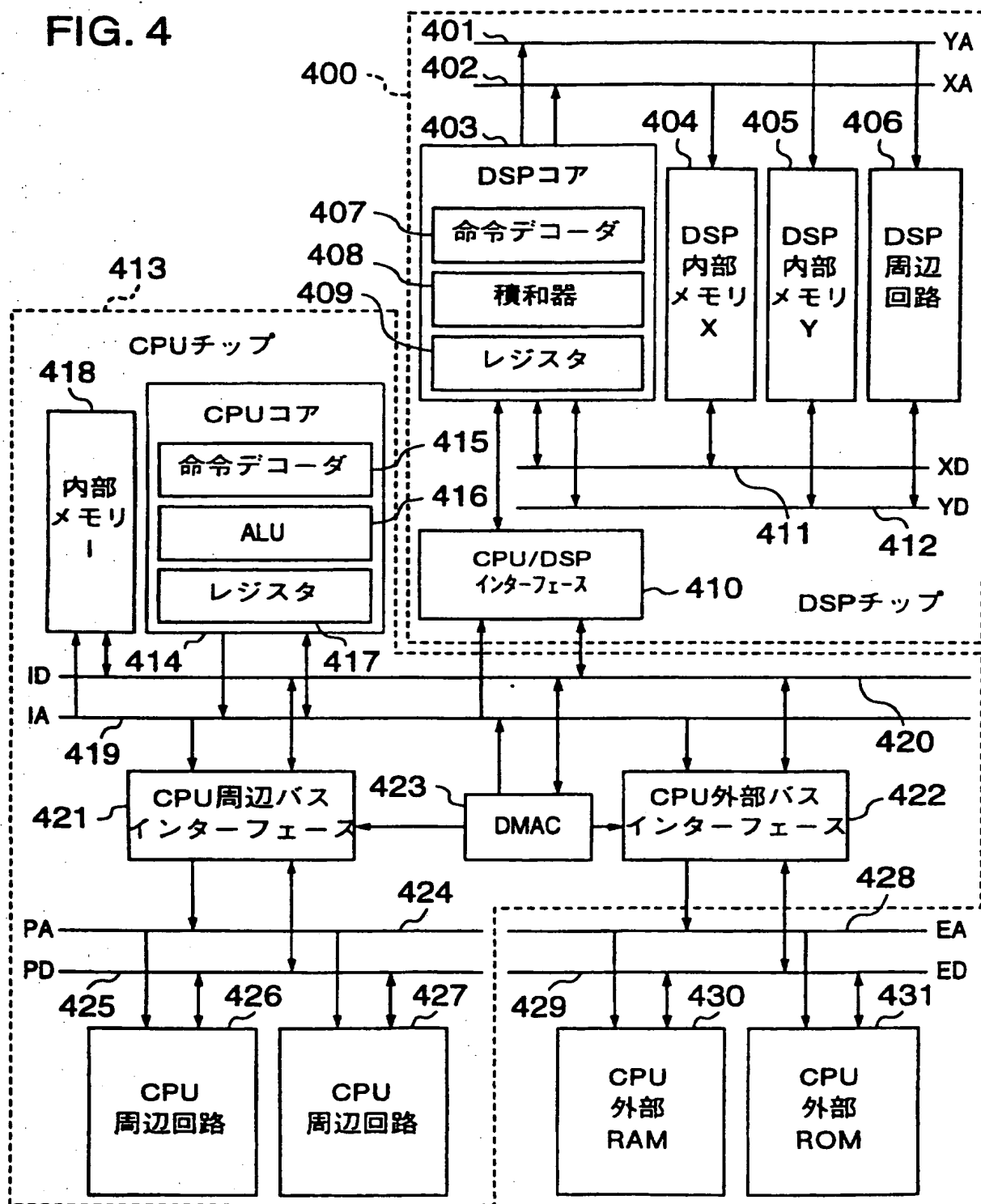


FIG. 5

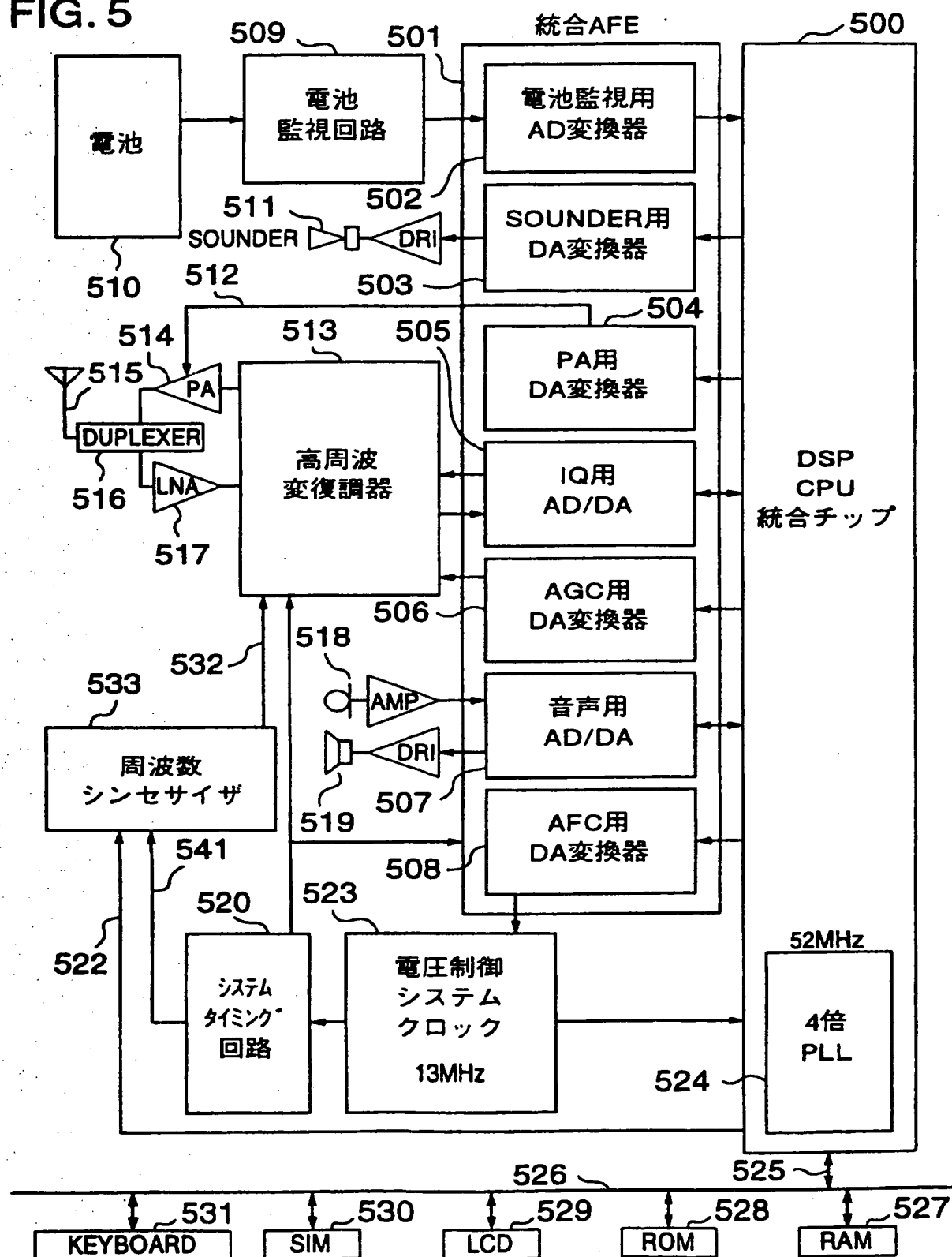


FIG. 6

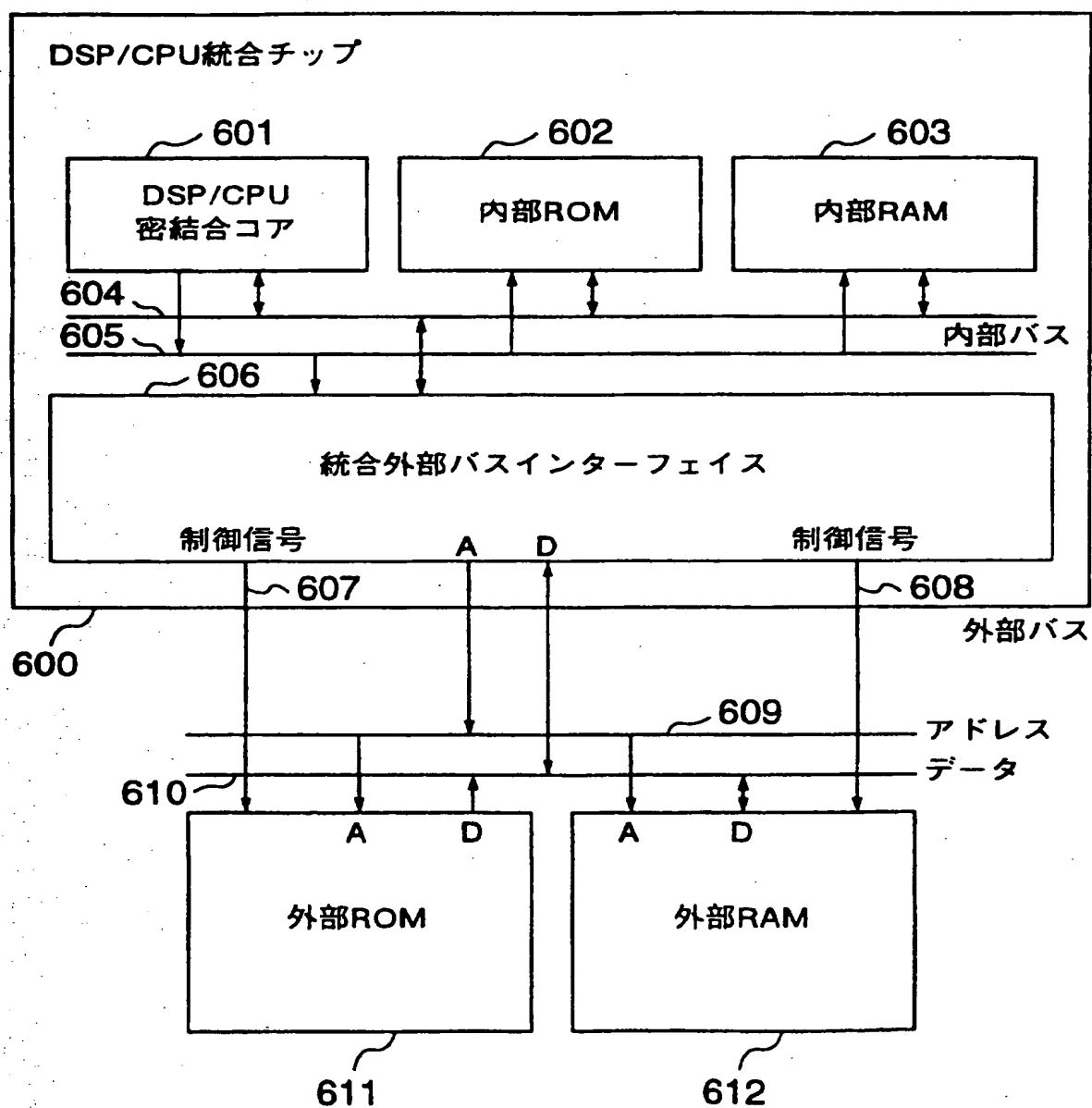


FIG. 7

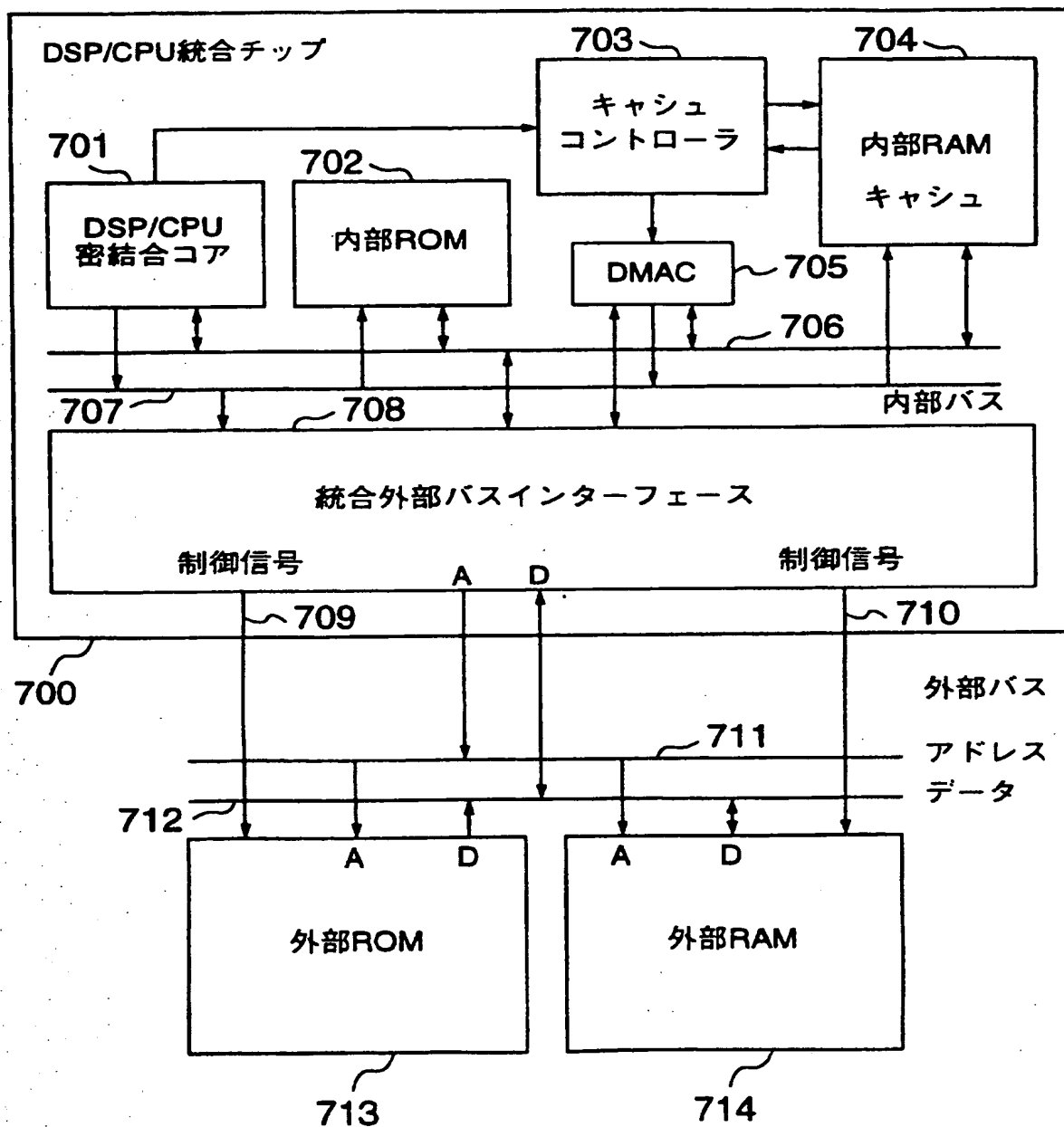
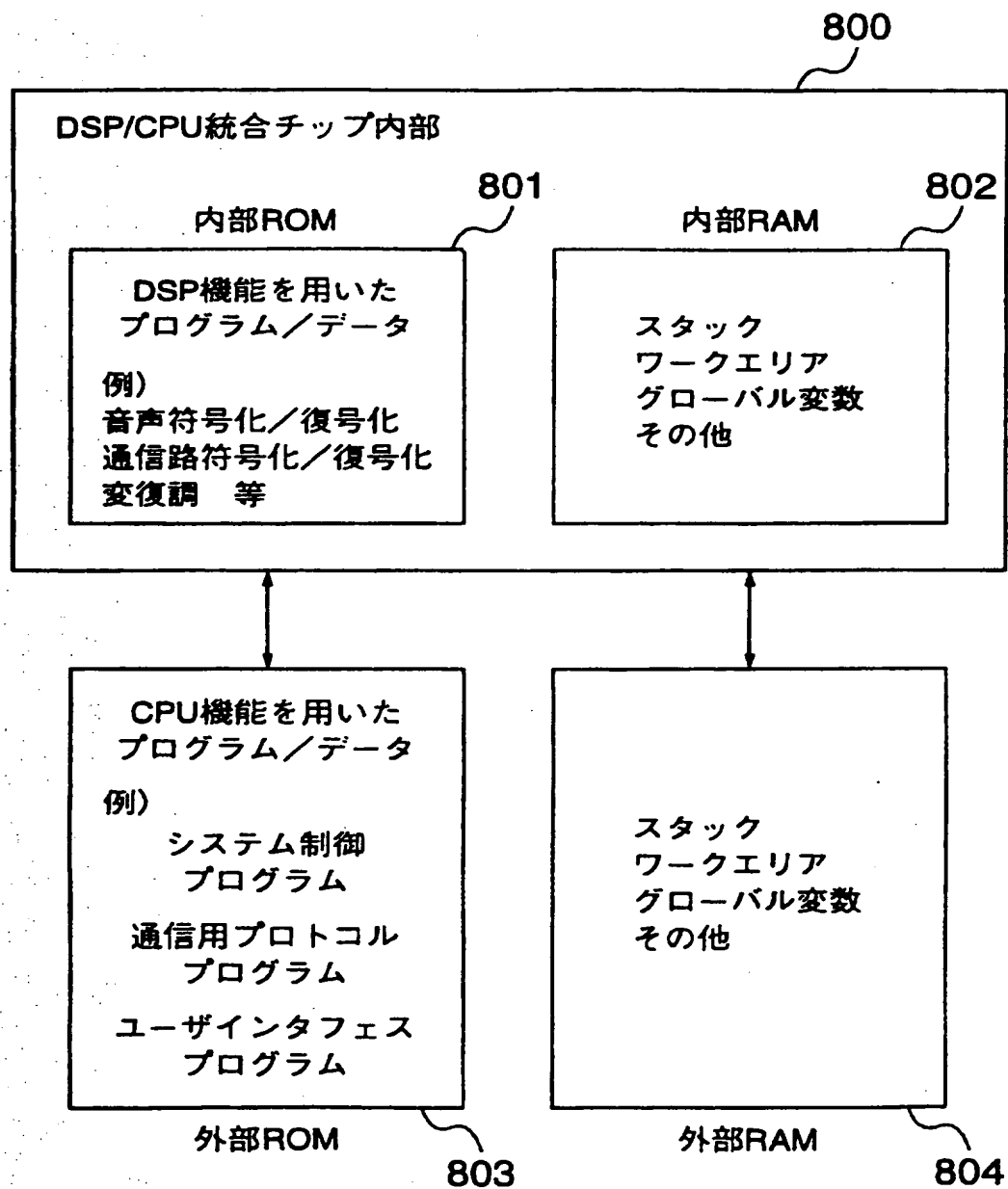
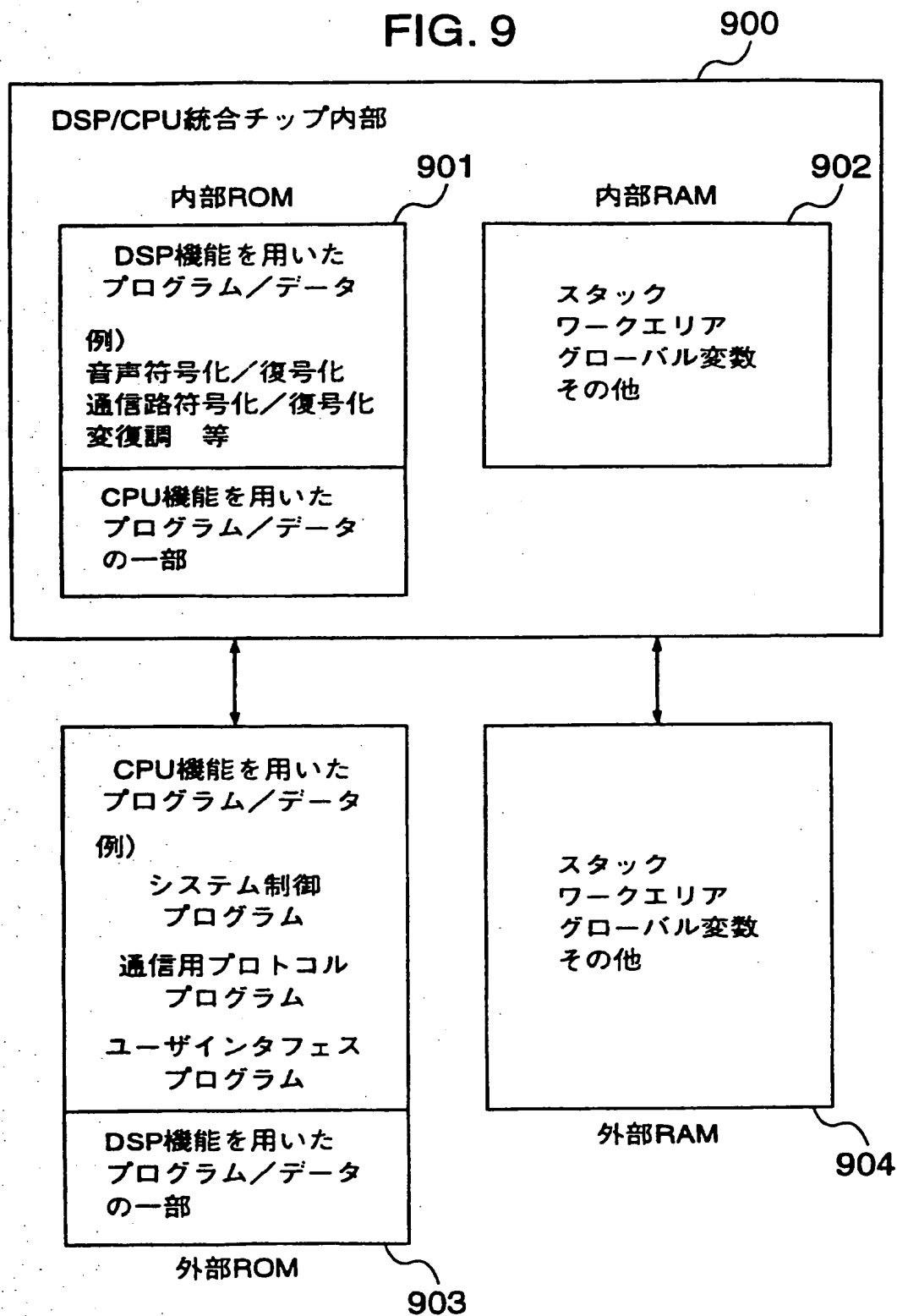


FIG. 8



9/26

FIG. 9



10/26

FIG. 10A

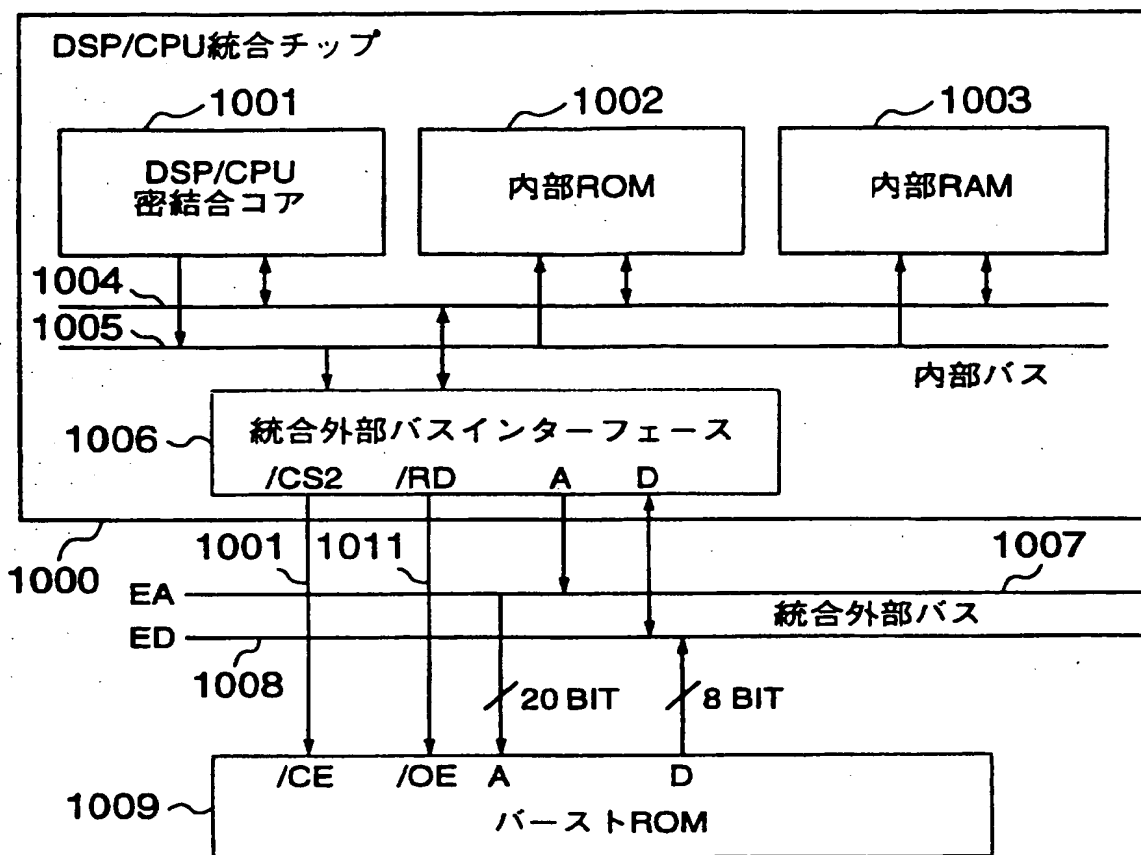


FIG. 10B

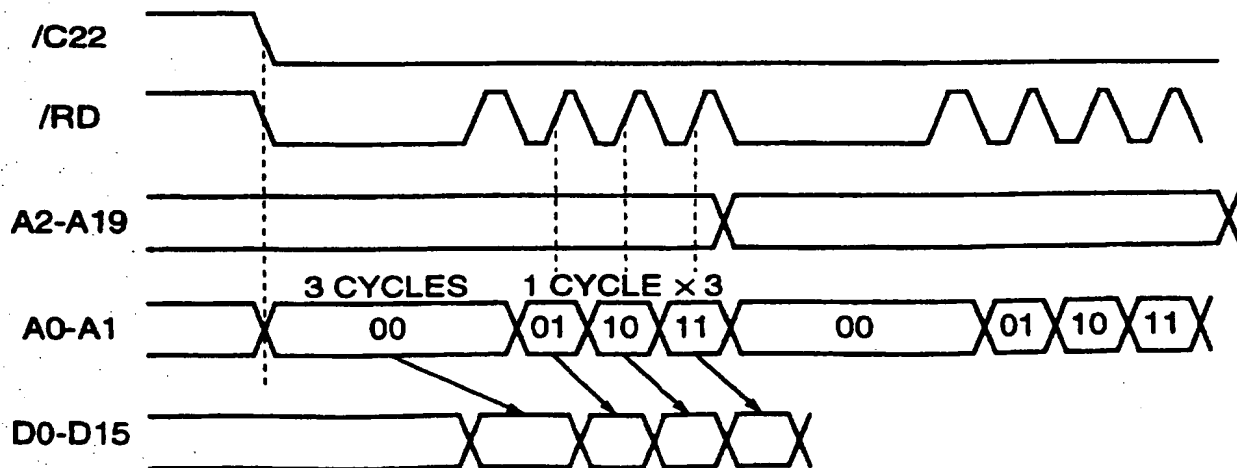
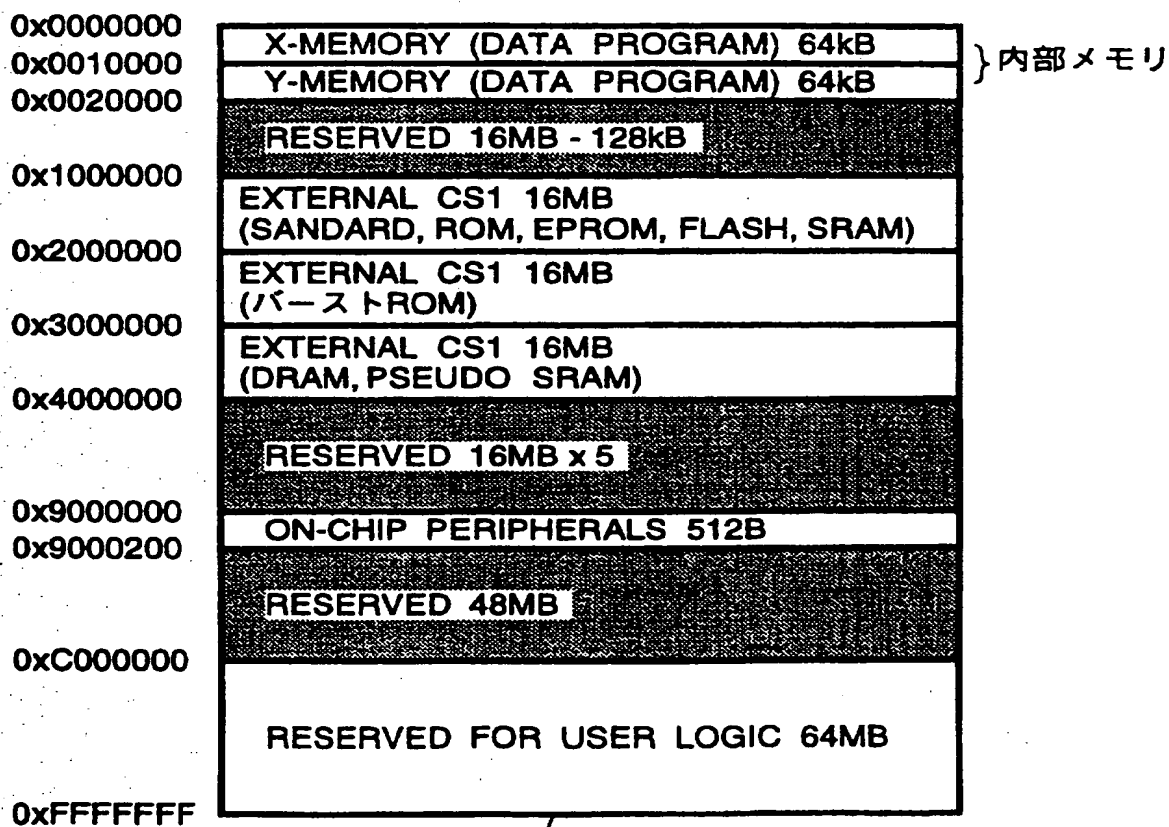


FIG. 11

DSP/CPU統合チップのメモリマップ例



12/26

FIG. 12A

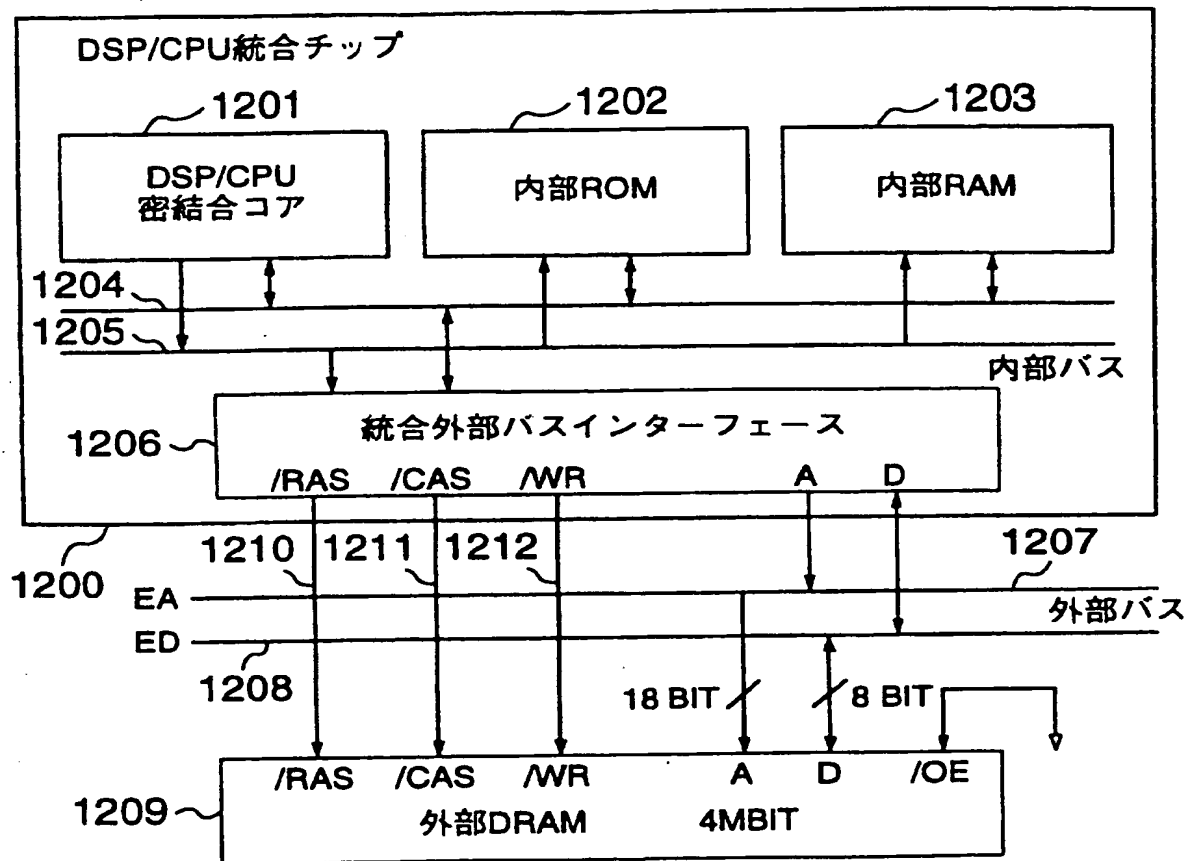


FIG. 12B

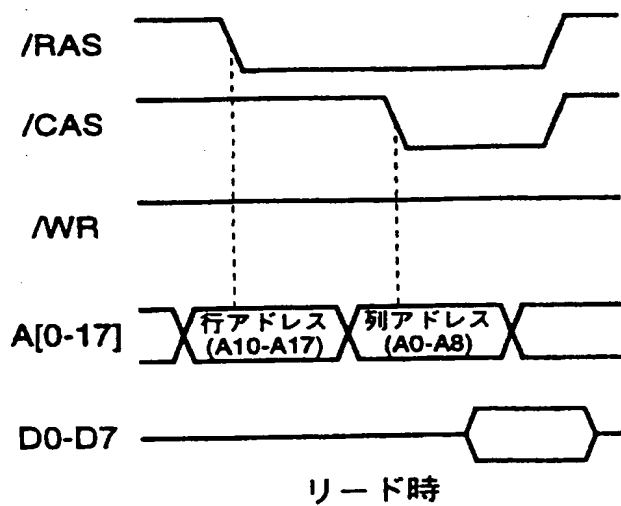
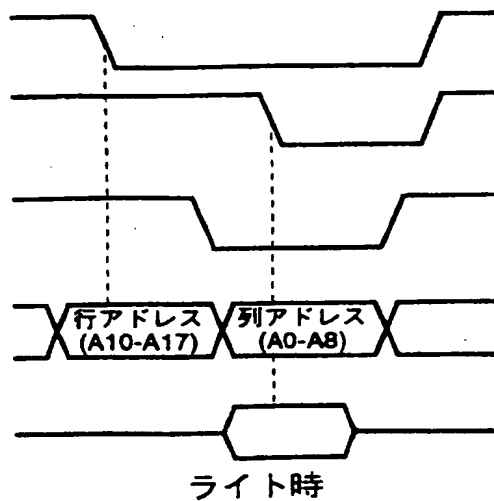
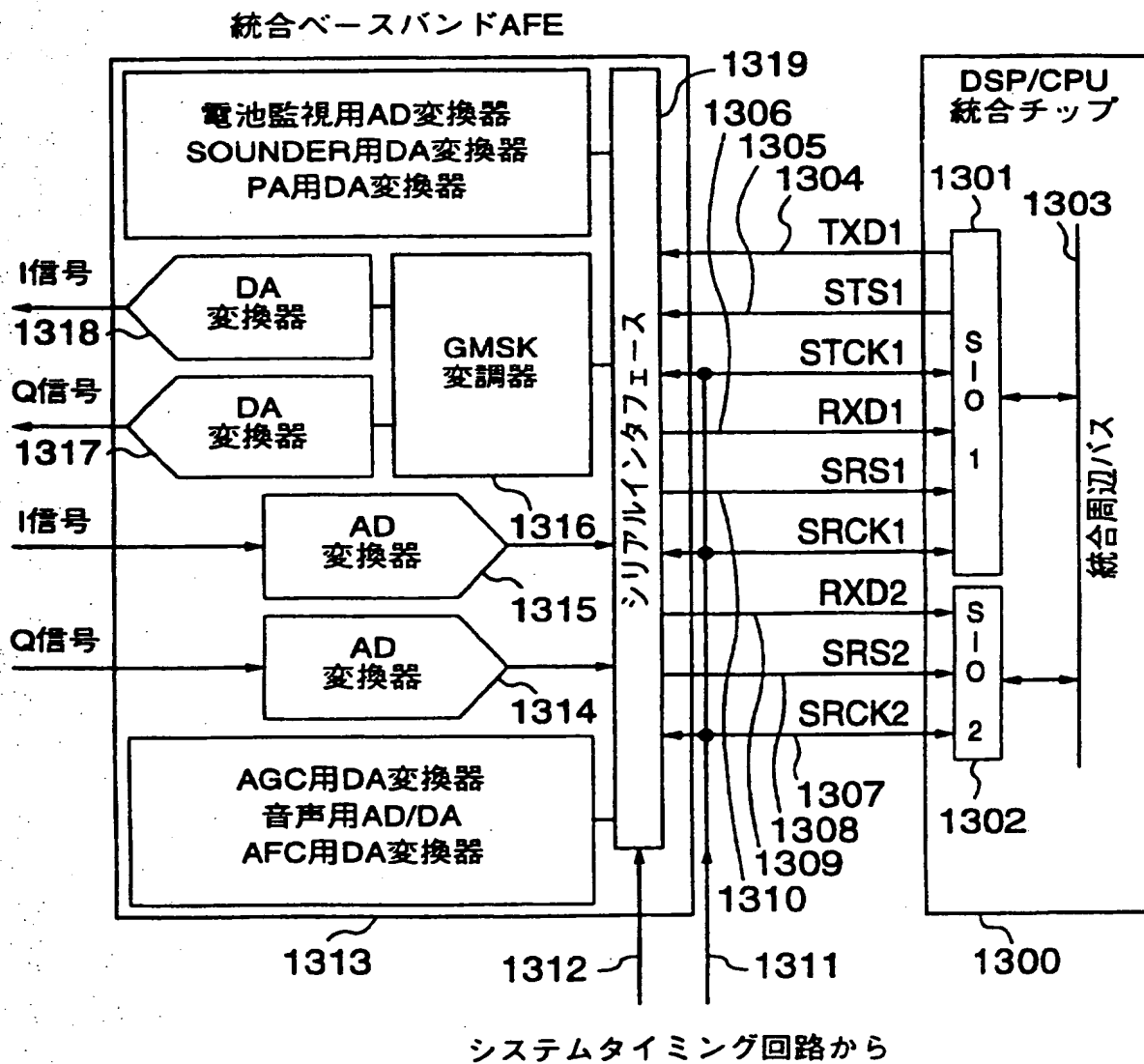


FIG. 12C



13/26

FIG. 13A



14/26

FIG. 13B

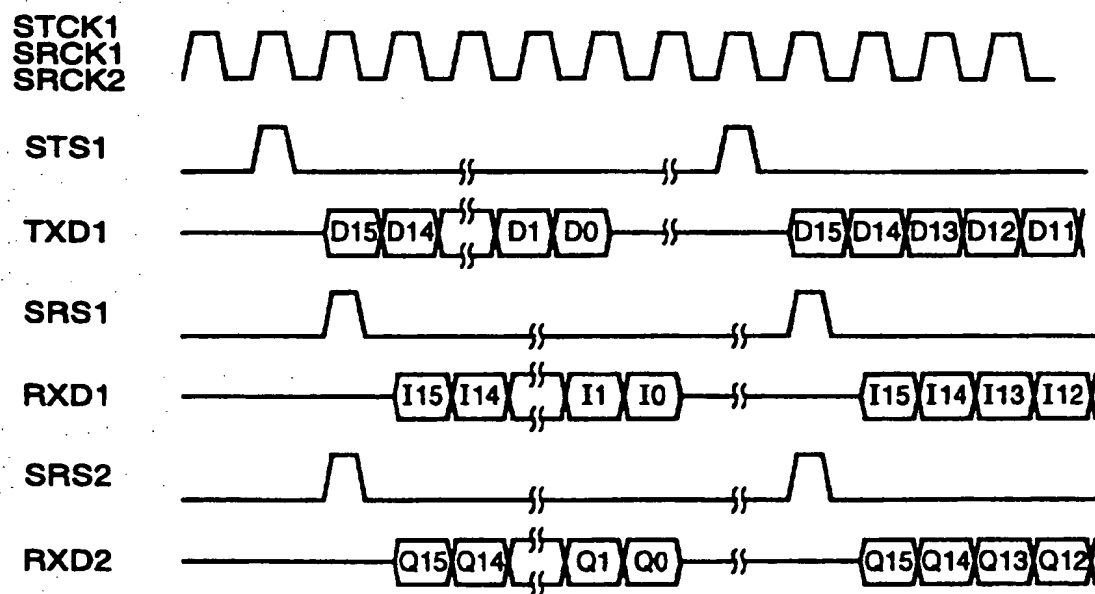


FIG. 15A

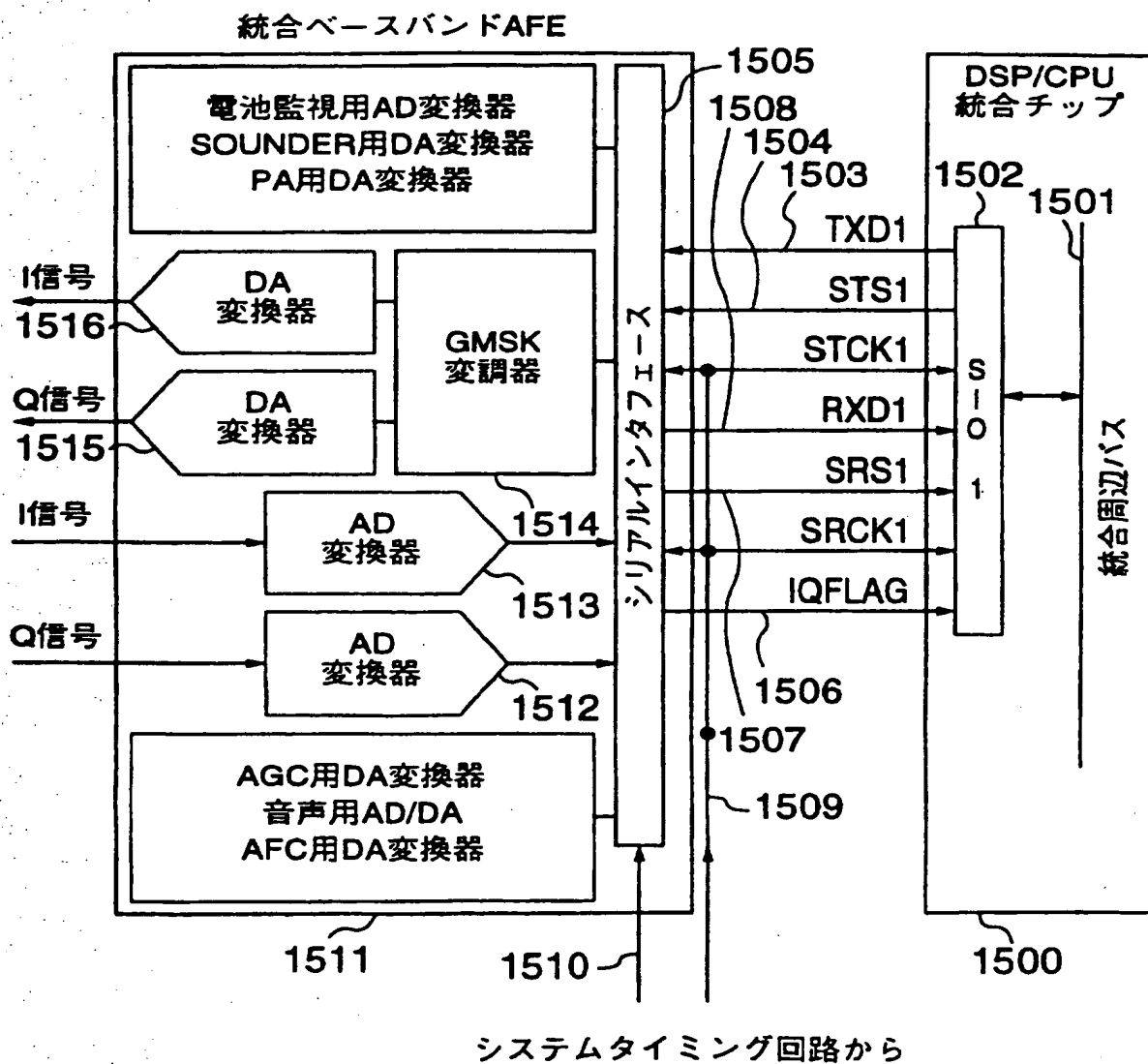
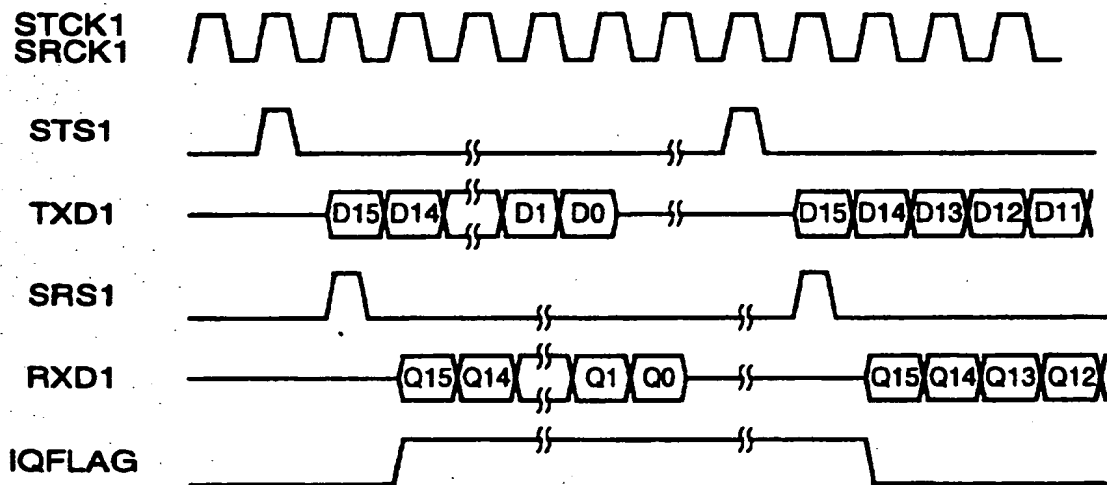
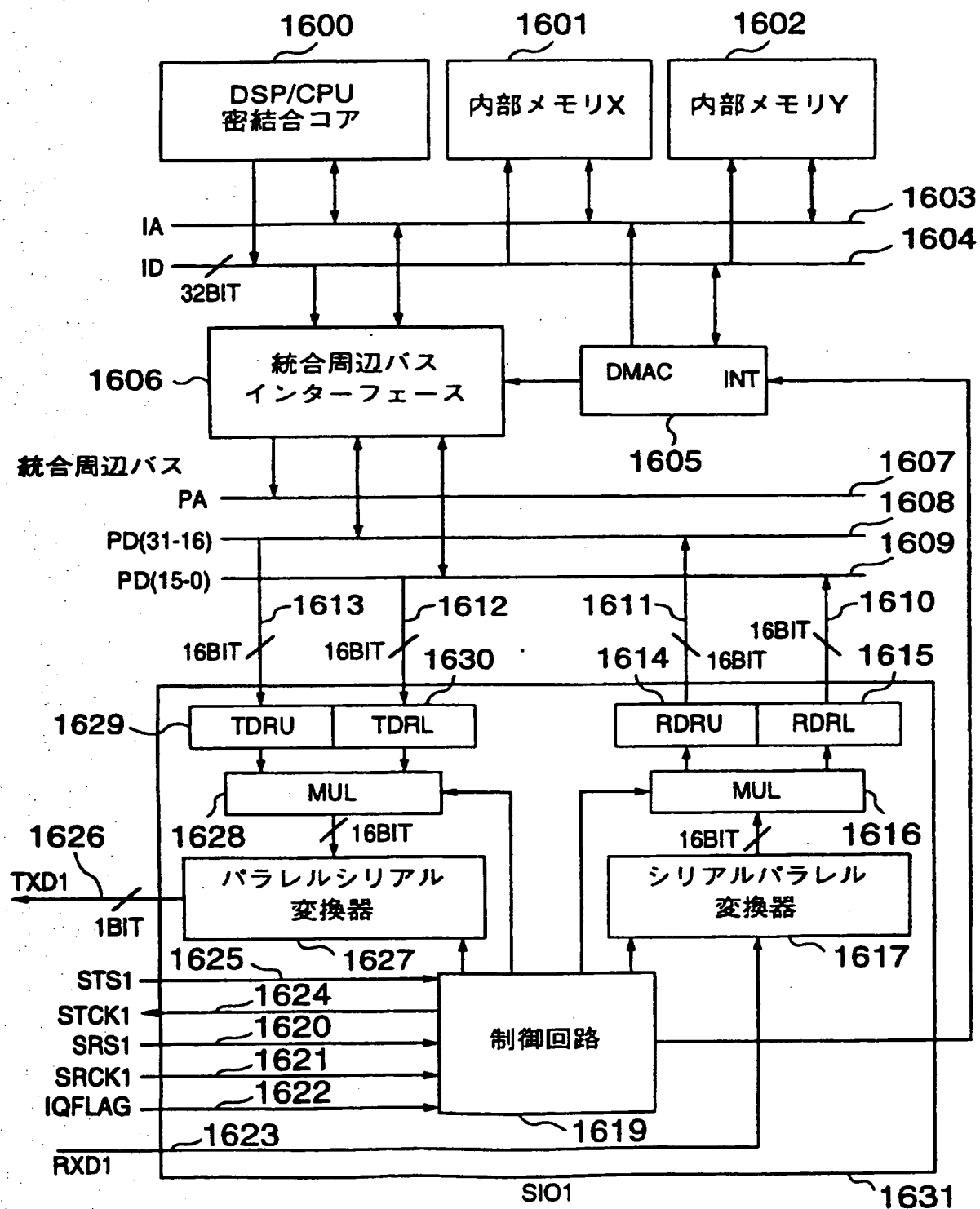


FIG. 15B



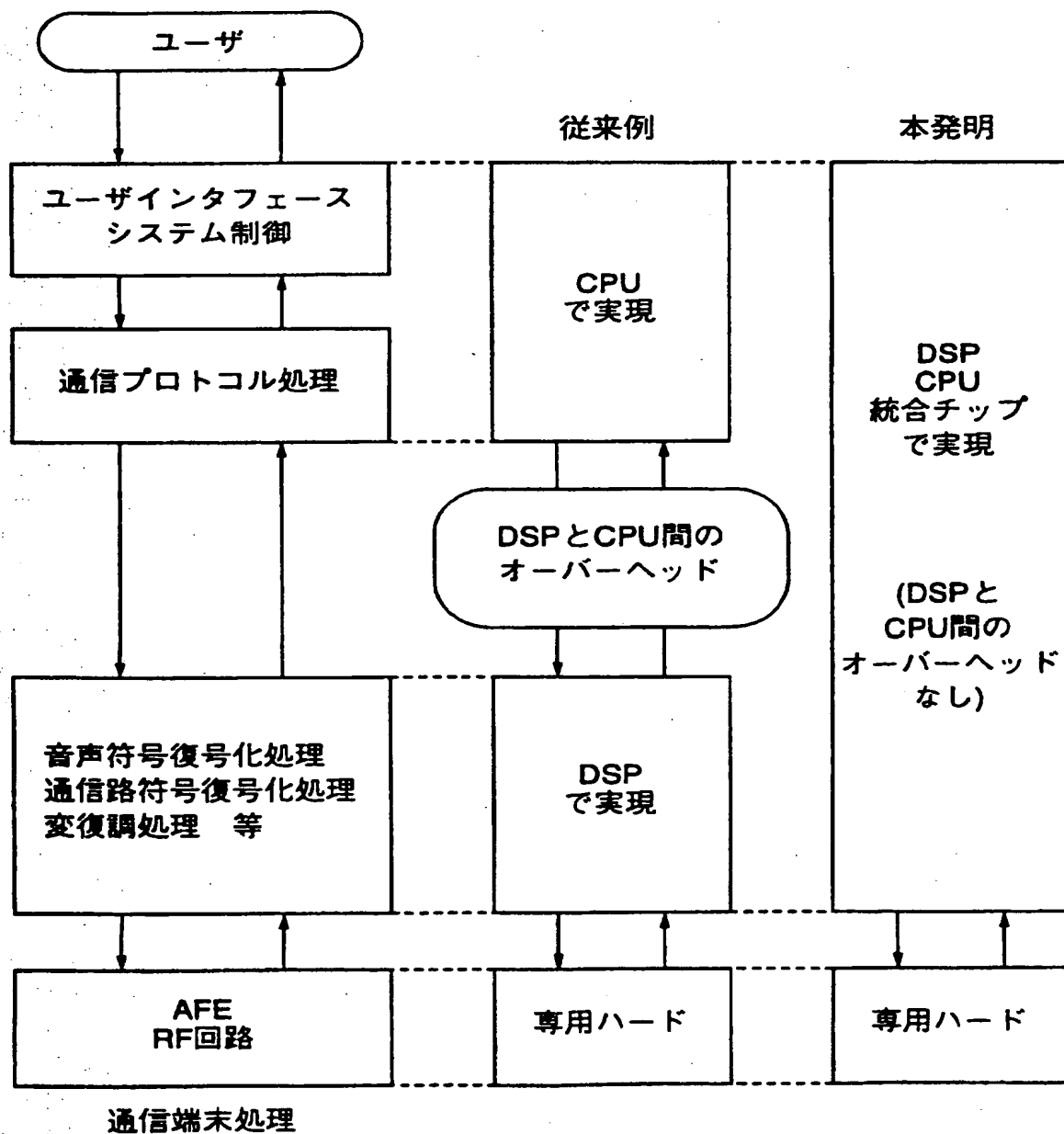
18/26

FIG. 16



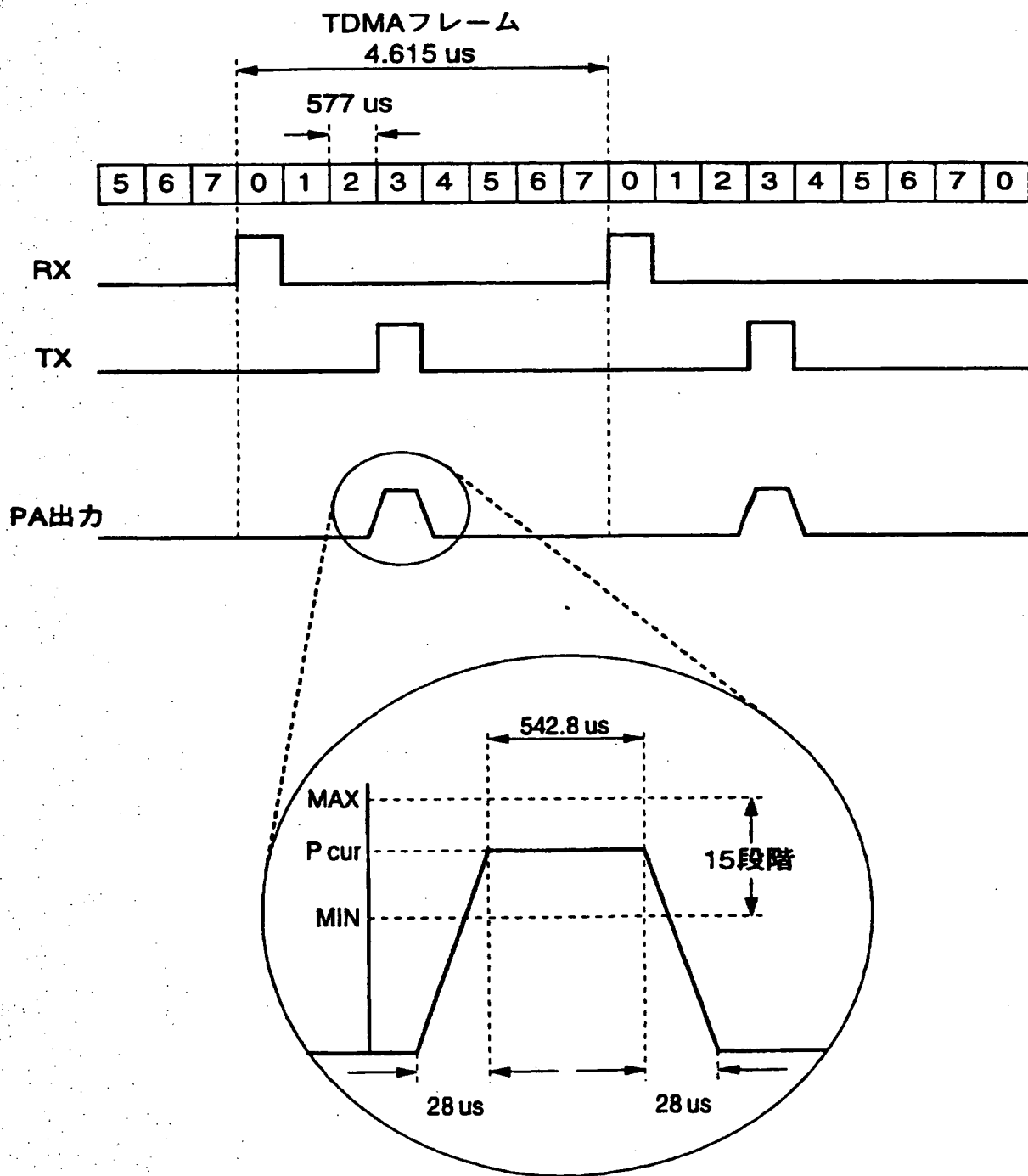
20/26

FIG. 18



21/26

FIG. 19



22/26

FIG. 20A

従来例

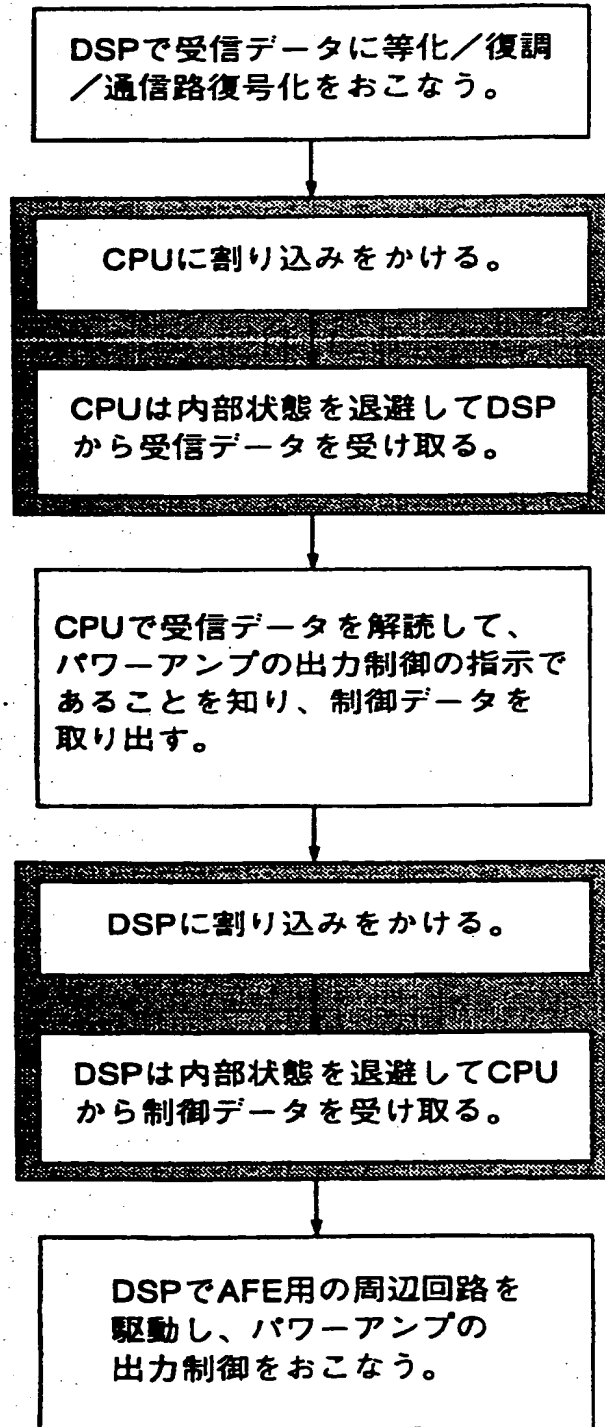
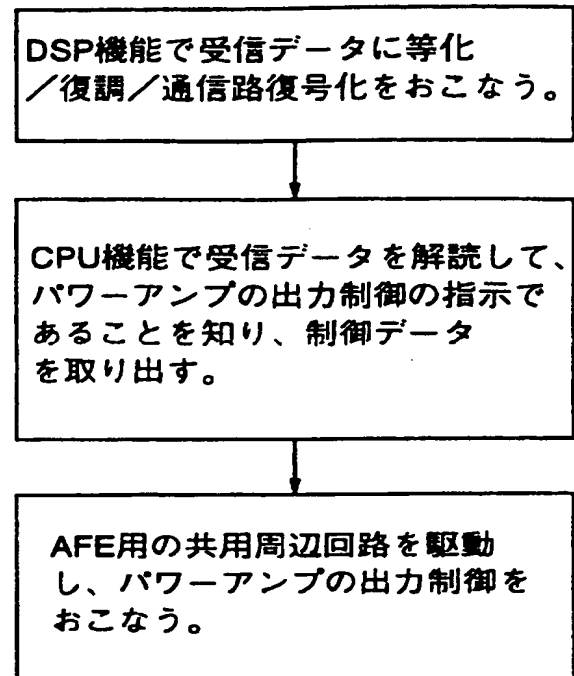


FIG. 20B

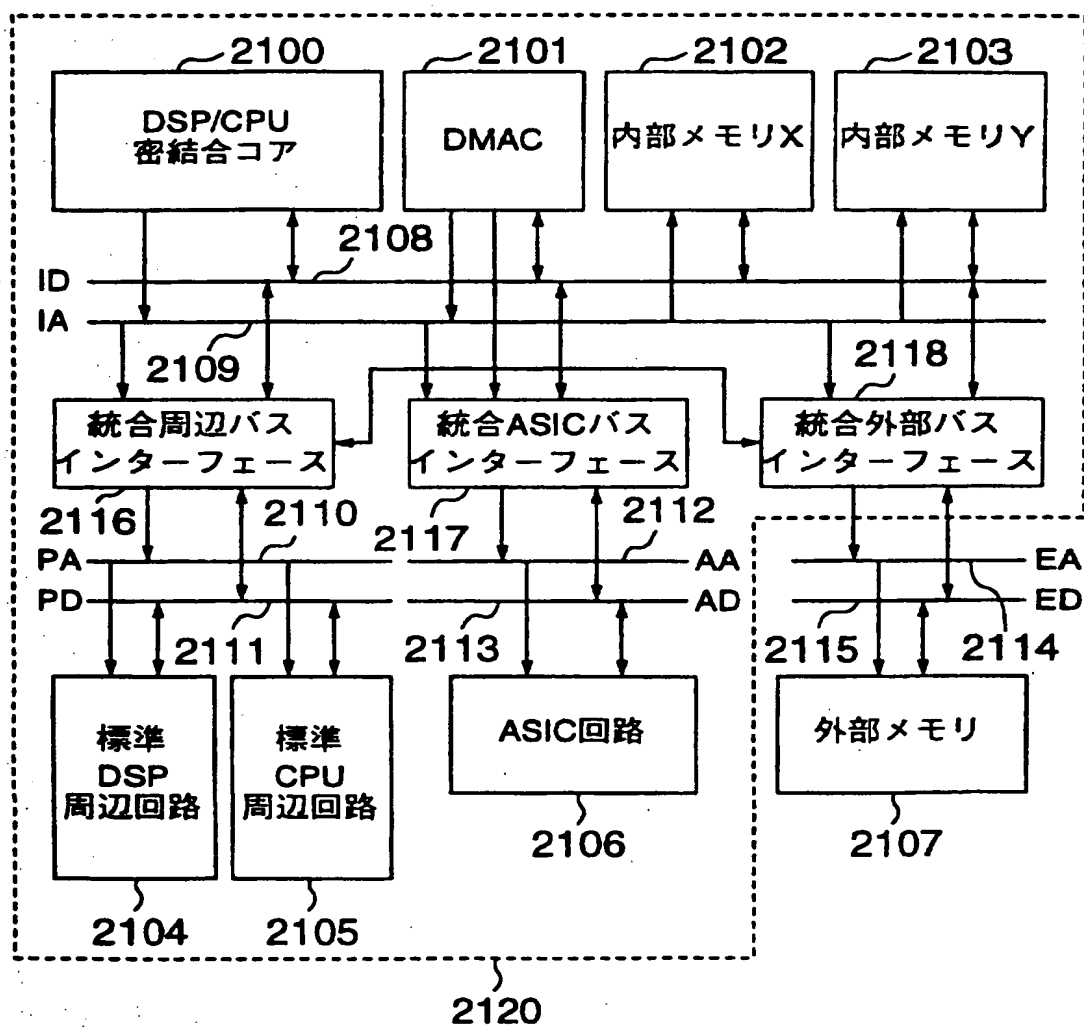
本発明



オーバーヘッド

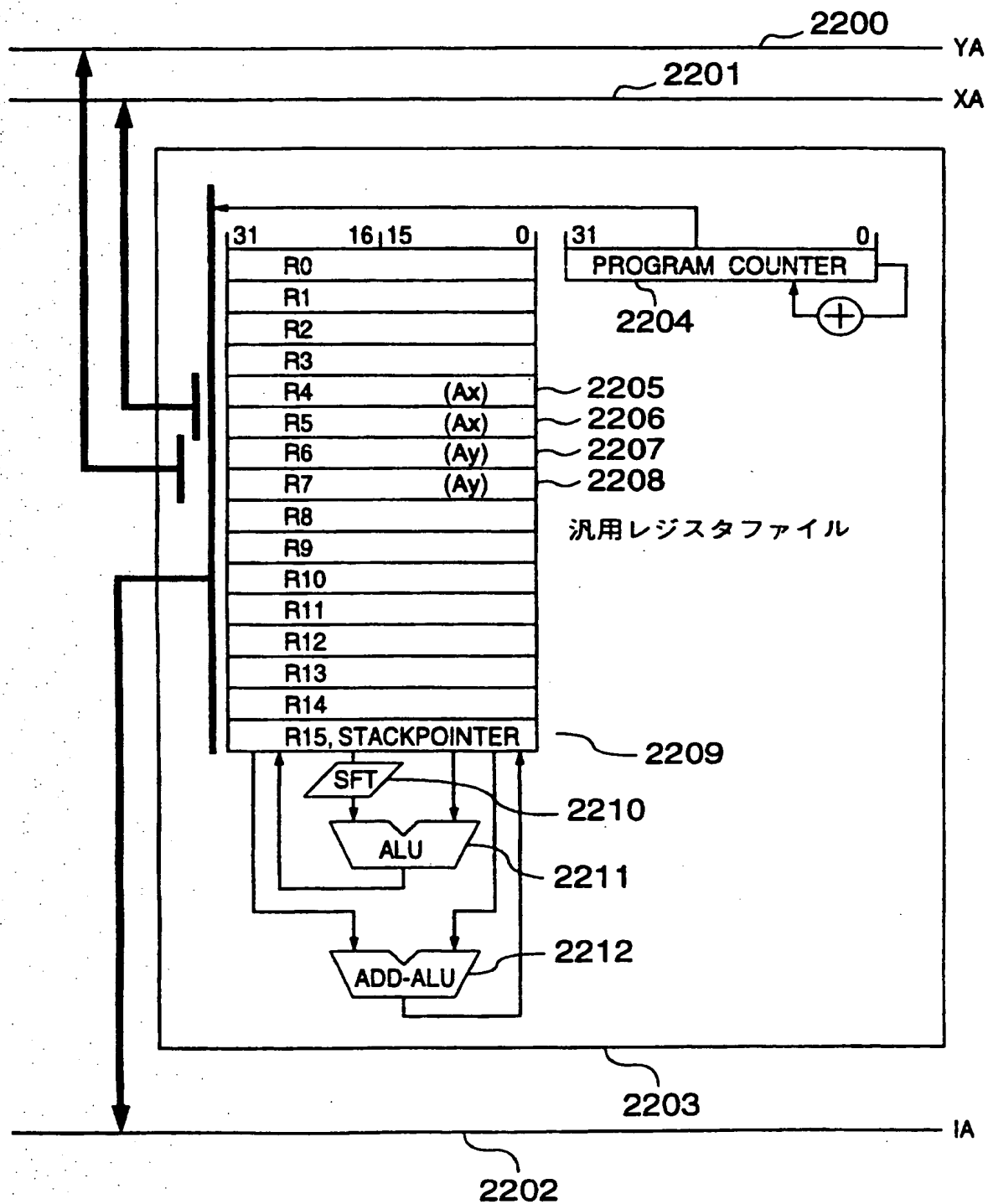
23/26

FIG. 21



24 / 26

FIG. 22



25/26

FIG. 23

```
short XARRAY[4]={1,2,3,4};
short YARRAY[4]={1,1,1,1};
short ZARRAY[2];

main(){

    short *x_pntr, *y_pntr1, *y_pntr2;

    x_pntr=XARRAY;    /*x_pntr の初期化*/
    y_pntr1=YARRAY;   /*y_pntr1 の初期化*/
    y_pntr=ZARRAY;     /*y_pntr2 の初期化*/

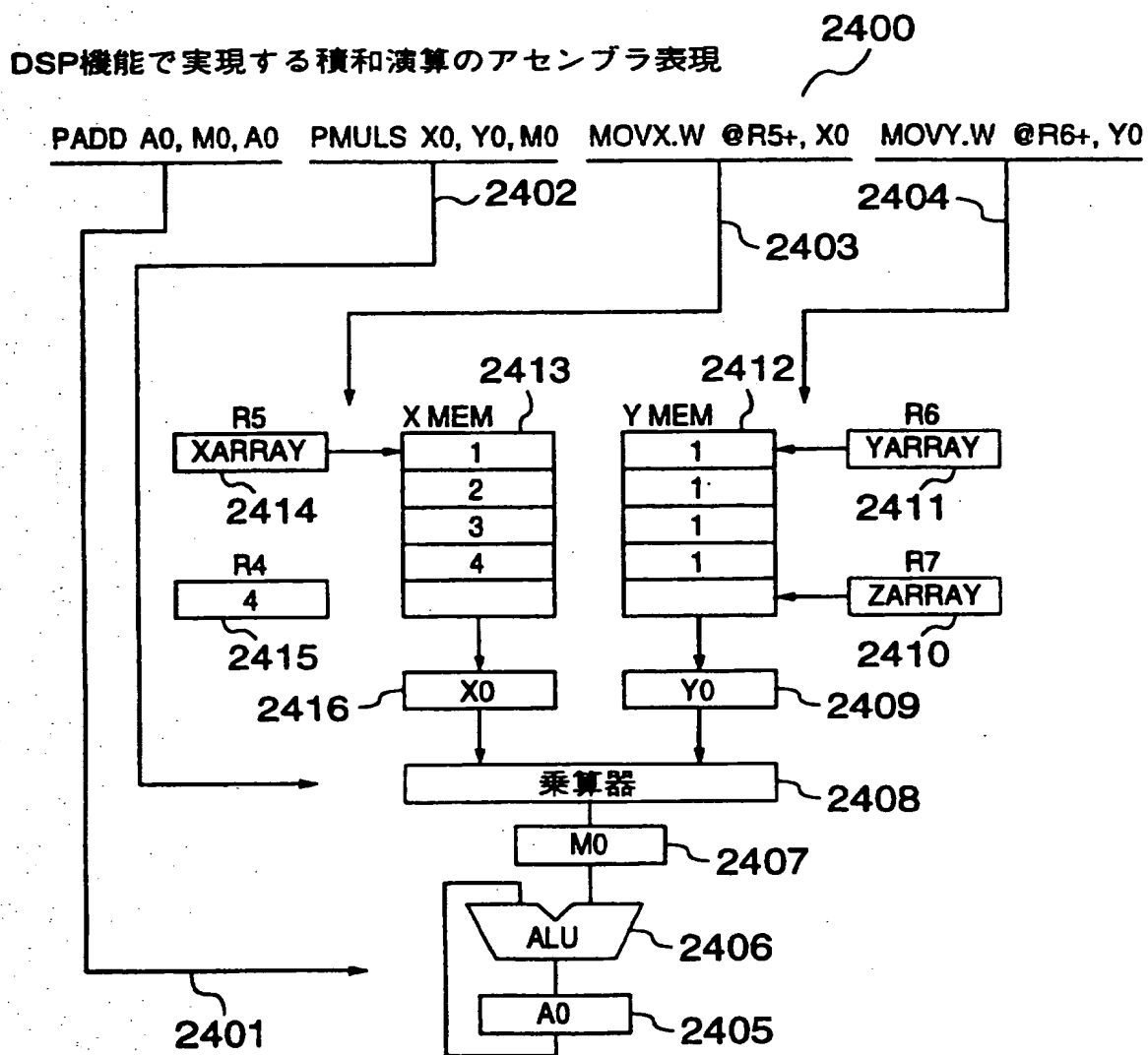
    /* 積和ルーチンをコール */
    mac_sss(4, x_pntr, y_pntr1, y_pntr2);
}
```

R4 R5 R6 R7

Xポインタ Yポインタ

26/26

FIG. 24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02910

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F9/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F9/30, G06F15/31, H03H17/00, H04B7/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1997
Kokai Jitsuyo Shinan Koho 1971 - 1994
Toroku Jitsuyo Shinan Koho 1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 05-128280, A (Fujitsu Ltd.), May 25, 1993 (25. 05. 93) (Family: none) Figs. 1, 2	1 - 14
Y	JP, 04-219045, A (Ricoh Co., Ltd.), August 10, 1992 (10. 08. 92) (Family: none) Figs. 1, 2	1 - 14
Y	JP, 04-167168, A (NEC Corp.), June 15, 1992 (15. 06. 92), Figs. 1, 3 & US, A, 5,260,897 & EP, A, 483,861	1 - 14
Y	JP, 03-080689, U (Mitsubishi Electric Corp.), August 19, 1991 (19. 08. 91) (Family: none) Figs. 1(2), 1(5), 1(10)	1 - 14
Y	JP, 02-297594, A (Hitachi, Ltd.), December 10, 1990 (10. 12. 90), Page 5, upper right column, line 13 & US, A, 5,293,586	1 - 14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
November 8, 1996 (08. 11. 96)

Date of mailing of the international search report
November 19, 1996 (19. 11. 96)

Name and mailing address of the ISA/
Japanese Patent Office
Facsimile No.

Authorized officer
Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02910

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 60-204029, A (Oki Electric Industry Co., Ltd.), October 15, 1985 (15. 10. 85) (Family: none) Page 2, lower right column, lines 15 to 16	1 - 14
Y	W. Patrick Hays., et. al., "A Programmable Digital Signal Processor with 32b Floating Point Arithmetic", 1985 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS, p. 92-93 and p. 318 CAU and DAU of Fig. 2	1 - 14
Y	Nikkei Electronics Vol. 463, December 26, 1988 (Nikkei BP Corp.), Osamu Kobayashi and others, "DSP which spreads its application scope on the full-scale debut of 32-bit floating points", p. 133-146, Figs. 5, 12	1 - 14
A	Interface Vol. 123, August 1987 (CQ Publication Corp.), "Study on Diversifying Memory IC Application", p. 204-208	3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int CL6 G06F9/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int CL6 G06F9/30, G06F15/31, H03H17/00, H04B7/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997
 日本国公開実用新案公報 1971-1994
 日本国登録実用新案公報 1994-1997

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 05-128280, A (富士通株式会社) 25. 5月. 1993 (25. 05. 93) (ファミリーなし) 第1図、第2図	1-14
Y	JP, 04-219045, A (株式会社リコー) 10. 8月. 1992 (10. 08. 92) (ファミリーなし) 第1図、第2図	1-14
Y	JP, 04-167168, A (日本電気株式会社) 15. 6月. 1992 (15. 06. 92) 第1図、第3図 & US, A, 5, 260, 897 & EP, A, 483, 861	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

08. 11. 96

国際調査報告の発送日

19.11.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 光宏

5B

9189

電話番号 03-3581-1101 内線

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 03-080689, U (三菱電機株式会社) 19. 8月. 1991 (19. 08. 91) (ファミリーなし) 第1図の2、5、10	1-14
Y	JP, 02-297594, A (株式会社日立製作所) 10. 12月. 1990 (10. 12. 90) 第5頁右上欄第13行 &US, A, 5, 293, 586	1-14
Y	JP, 60-204029, A (沖電気工業株式会社) 15. 10月. 1985 (15. 10. 85) (ファミリーなし) 第2頁右下欄第15-16行	1-14
Y	W. Patrick Hays., et. al, "A Programmable Digital Signal Processor with 32b Flo- ating Point Arithmetic", 1985 IEEE Int- ernational Solid-State Circuits Confe- rence DIGEST OF TECHNICAL PAPERS, p. 92-93 and p. 318 第2図のCAUとDAU	1-14
Y	日経エレクトロニクス 第463号, 26. 12月. 1988 (日経BP社)、 小林 修・他、「32ビット浮動小数点の本格登場で適用領域を広げるDSP」、 p. 133-146 第5図、第12図	1-14
A	インターフェース 第123号, 8月. 1987 (CQ出版社)、 「多様化するメモリIC活用研究」、p. 204-208	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.